



通信方式研究会資料
資料番号CS 68-27 (1968-10)

パルス間干渉補償方式の実験

尾佐竹 徇・田中英彦
水崎勝生・下平理輔
(東京大学・工学部)

1968年10月30日

社団法人 電子通信学会

パルス間干渉補償方式の実験

尾佐竹 徇・田 中 英 彦
水 崎 勝 生・下 平 理 輔

(東京大学工学部)

I はじめに

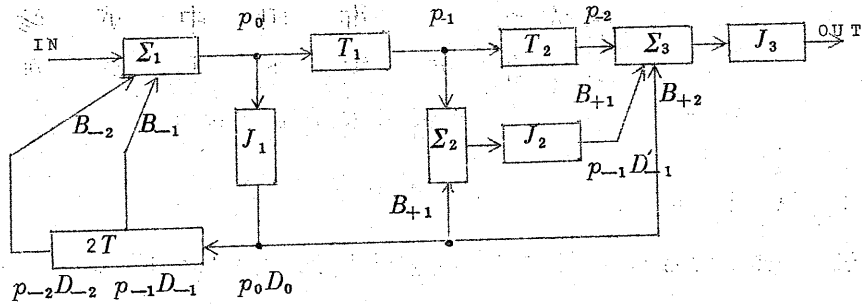
伝送路におけるパルス間の干渉を補償する方式としてトランスバーサルフィルタやタップ付きディレイラインを用いたもの⁽³⁾が多く提案されているが、先に我々の研究室においてパルス相互間の関係を考慮して各パルスの判定結果に適当に重みづけして判定前の信号入力に帰還するパルス間干渉の補償方式⁽¹⁾を提案した。この方式は伝送路の特性を直接補償するものではなく、干渉そのものを各ビットのパルスの判定結果を用いて補償するものであり、かつ装置も比較的簡単で干渉の量がある程度以下ならば誤り率は干渉がない場合に比してほとんど低下しないという特徴を有する。

我々はこの補償方式について模擬実験装置を作り、既知量の干渉と雑音を加えた後補償回路に通し、この方式による誤り率の改善効果を測定した結果、計算値とのきわめてよい一致を示したので御報告する。

II 補償方式

一般的な場合については先に学会誌⁽¹⁾において論じてあるので、ここでは実際に実験に使用した方式について説明する。この実験では干渉として前後各2ビット従って全部で4ビットまでのパルスの影響を考え、従って補償回路も前後各2ビットまでの干渉が補償できるようになってい

る。図-1にそのブロック図を示す。



$\Sigma_1, \Sigma_2, \Sigma_3$; 加算器

J_1, J_2, J_3 ; 判定器

$2T$; 遅延(デジタル, 2ビット)

T_1, T_2 ; 遅延(アナログ, 各1ビット)

図1 補償回路ブロック図

ここでは双極性パルスについて考え時間的に先のパルスから p_{-2} , p_{-1} , p_0 , p_{+1} , ……と呼ぶことにする。 $(p_i = \pm 1)$ また判定しようとするパルスより1ビットおよび2ビット前のパルスからの干渉を $c_{-1} \times 100\%$, $c_{-2} \times 100\%$ とし, 1ビットおよび2ビット後のパルスからの干渉をそれぞれ $c_{+1} \times 100\%$, $c_{+2} \times 100\%$ とする。また判定器 J_1 が p_i のパルスを判定した結果を D_i で表わし, 正しければ $+1$, 誤っていれば -1 の値をとるものとする。同様に判定器 J_2 についても p_i の判定結果を D'_i で表わす。

伝送路においては平均値0, パワースペクトル $N_0/2$ W/Hz (both sided) の White Gaussian Noise $n(t)$ が信号 $s(t)$ に加わって受信されるとする。すなわち, 受信信号 $r(t)$ は次のようになる。

$$r(t) = s(t) + n(t) \quad (1)$$

この受信パルス列を各ビットそれぞれ τ 秒間だけ積分した後、判定を行なうと、干渉がない場合の誤り率は次のようになる。

$$P(-1|+1) = P(+1|-1) = \frac{1}{\sqrt{\pi}} \int_X^{\infty} e^{-t^2} dt = \frac{1}{\sqrt{\pi}} E_{\text{rfc}} X \quad (2)$$

但し、 X は S/N に対応する量で高さ A 、幅 τ の方形波パルスに対しては

$$X = \sqrt{\frac{E}{N_0}} = A \sqrt{\frac{\tau}{N_0}} \quad (3)$$

になる。(但し、 E はパルスのエネルギーである。)

補償を行なわないときタイムスロット 0 のパルス p_0 の高さは次のようになる。(但し、干渉のないときのパルスの高さを1に正規化。)

$$c_{-2}p_{-2} + c_{-1}p_{-1} + p_0 + c_{+1}p_{+1} + c_{+2}p_{+2} \quad (4)$$

故に補償を行なわないときの誤り率 P_{E_0} は次式で示される。

$$P_{E_0} = \sum_{p_{-2}} \sum_{p_{-1}} \sum_{p_0} \sum_{p_{+1}} \sum_{p_{+2}} \frac{1}{\sqrt{\pi}} E_{\text{rfc}} \{ X (c_{-2}p_{-2} + c_{-1}p_{-1} + p_0 + c_{+1}p_{+1} + c_{+2}p_{+2}) p_0 \} \\ \times P_0(p_{-2}) P_0(p_{-1}) P_0(p_0) P_0(p_{+1}) P_0(p_{+2}) \quad (5)$$

但し、 $P_0(p_i)$ は p_i の極性のパルス出現確率であり、各パルスの出現確率は相互に独立であると仮定している。

先行パルスからの干渉に対する補償は図-1の Σ_1 、 J_1 、 $2T$ によって行なわれる。 J_1 の判定結果 $p_i D_i$ は $2T$ によって1ビットおよび2ビット遅延させられ、この出力にそれぞれ $B_{-1} = -c_{-1}$ 、 $B_{-2} = -c_{-2}$ だけ重みづけして、加算器 Σ_1 において入力パルス列に加算される。すなわちタイムスロット 0 のパルス p_0 は (4) に示すような高さを有するがこれに1ビットおよび2ビット前のパルス p_{-1} 、 p_{-2} の判定器 J_1 における判定結果 $p_{-1} D_{-1}$ 、 $p_{-2} D_{-2}$ をそれぞれ遅延線 $2T$ により1ビットおよび2ビット遅らしたものに B_{-1} 、 B_{-2} の重みづけを行ない $B_{-1} p_{-1} D_{-1}$ 、 $B_{-2} p_{-2} D_{-2}$ を加算する。すなわち加算器 Σ_1 の出力は次のようになる。

$$c_{-2} p_{-2} + c_{-1} p_{-1} + p_0 + c_{+1} p_{+1} + c_{+2} p_{+2} \\ + B_{-2} p_{-2} D_{-2} + B_{-1} p_{-1} D_{-1} \quad (6)$$

これを判定器 J_1 で判定するわけであるがこのとき次の関係が成立する。

$$P(D_{-2} D_{-1} | p_{-2} p_{-1} p_0 p_{+1}) = \\ = \sum_{D_{-3} p_{-3}} \sum P_0(p_{-3}) P_1(D_{-1} | D_{-3} D_{-2} p_{-3} p_{-2} p_{-1} p_0 p_{+1}) \\ \times P(D_{-3} D_{-2} | p_{-3} p_{-2} p_{-1} p_0) \quad (7)$$

但し、 P_1 は判定器 J_1 の判定確率であり次式で与えられる。

$$\begin{aligned}
P_1(D_{-1} = -1 | D_{-3}D_{-2}p_{-3}p_{-2}p_{-1}p_0p_{+1}) \\
= \frac{1}{\sqrt{\pi}} \operatorname{Erfc}\{X(c_{-2}p_{-3} + c_{-1}p_{-2} + p_{-1} + c_{+1}p_0 \\
+ c_{+2}p_{+1} + B_{-2}p_{-3}D_{-3} + B_{-1}p_{-2}D_{-2})p_{-1}\} \quad (8)
\end{aligned}$$

$$\begin{aligned}
P_1(D_{-1} = +1 | D_{-3}D_{-2}p_{-3}p_{-2}p_{-1}p_0p_{+1}) \\
= 1 - \frac{1}{\sqrt{\pi}} \operatorname{Erfc}\{X(c_{-2}p_{-3} + c_{-1}p_{-2} + p_{-1} \\
+ c_{+1}p_0 + c_{+2}p_{+1} + B_{-2}p_{-3}D_{-3} \\
+ B_{-1}p_{-2}D_{-2})p_{-1}\} \quad (9)
\end{aligned}$$

ここで(7)の左辺と右辺の第3項はパルス列が1ビットだけずれた時の判定結果に対する確率であるから()の中の ± 1 の配列が等しければこの2つの確率は等しいわけである。また

$$\sum_{D_{-2}D_{-1}} \sum P(D_{-2}D_{-1} | p_{-2}p_{-1}p_0p_{+1}) = 1 \quad (10)$$

であるから(7)および(10)より結局 $P(D_{-2}D_{-1} | p_{-2}p_{-1}p_0p_{+1})$ に関する未知数 $2^6 = 64$, 方程式の数が $2^6 + 2^4 = 80$ の連立一次方程式となりこれは最小自乗法を用いたはき出し法により計算機で数値計算できる。

後続パルスからの干渉に対しては入力信号の方を遅延線で遅らせておき、先に判定を行なって、これに重みづけして遅延線の出力に加算することにより補償する。すなわち図-1において遅延線 T_1 の入力に P_0 が

あるとすると、 T_1 の出力には p_{-1} があり、遅延線 T_2 の出力には p_{-2} がある。従って判定器 J_1 の判定結果 $p_0 D_0$ に B_{+1} の重みづけを行ない、 $B_{+1} p_0 D_0$ として p_{-1} に加算を行なう。このとき加算器 Σ_2 の出力は次のようになる。

$$c_{-2} p_{-3} + c_{-1} p_{-2} + p_{-1} + c_{+1} p_0 + c_{+2} p_{+1} + B_{-2} p_{-3} D_{-3} \\ + B_{-1} p_{-2} D_{-2} + B_{+1} p_0 D_0 \quad (11)$$

これを判定器 J_2 で ± 1 の判定を行ない、この出力 $p_{-1} D'_{-1}$ に B_{+1} 、判定器 J_1 の判定結果 $p_0 D_0$ に B_{+2} の重みづけを行ない、加算器 Σ_3 で遅延線 T_2 の出力 p_{-2} に加算する。故に加算器 Σ_3 の出力すなわち補償回路の出力は次のようになる。

$$c_{-2} p_{-4} + c_{-1} p_{-3} + p_{-2} + c_{+1} p_{-1} + c_{+2} p_0 + B_{-2} p_{-4} D_{-4} \\ + B_{-1} p_{-3} D_{-3} + B_{+1} p_{-1} D'_{-1} + B_{+2} p_0 D_0 \quad (12)$$

従って最後の判定器 J_3 における判定結果の誤り率 P_E は次のようになる。

$$P_E = \sum_{D_{-4} D_{-3}} \sum_{D'_{-1}} \sum_{D_0} \sum_{p_{-4}} \sum_{p_{-3}} \sum_{p_{-2}} \sum_{p_{-1}} \sum_{p_0} \\ \frac{1}{\sqrt{\pi}} \text{Erfc} \left\{ X (c_{-2} p_{-4} + c_{-1} p_{-3} + p_{-2} + c_{+1} p_{-1} \right. \\ \left. + c_{+2} p_0 + B_{-2} p_{-4} D_{-4} + B_{-1} p_{-3} D_{-3} + B_{+1} p_{-1} D'_{-1} \right. \\ \left. + B_{+2} p_0 D_0) p_{-2} \right\}$$

$$\times P_2 (D_{-4} D_{-3} D'_{-1} D_0 p_{-4} p_{-3} p_{-2} p_{-1} p_0) \quad (13)$$

但し P_2 は p_{-4}, \dots, P_0 のパルスの極性および判定器 J_1 におけるパルス p_{-4}, p_{-3}, p_0 の判定結果 D_{-4}, D_{-3}, D_0 , さらに判定器 J_2 における p_{-1} の判定結果 D'_{-1} が与えられる確率であり, $P_0, Erfc$ および先に求めた連立方程式の解等に分解できる。

II 実験装置概要

実験装置はランダムパルス発生回路, 模擬伝送路, 干渉補償回路, 誤り率測定回路の4つに大きく分けられる。図-2にそのブロック図を示す。クロック周波数は回路製作上および誤り率測定の難易等を考えあわせて, ちょうど1MHzとした。

ランダムパルス発生回路では雑音発生器(帯域は約10MHz)の出力を差動増幅器でスライスした後クロック周波数でサンプルを行ない, これをシュミットリガで判定して1, 0のパルスがランダムに出るようにした。また雑音のスライスレベルを変えて1, 0のパルスの発生率を変えられるようにしておりシュミットリガの出力でフリップフロップを動かしその両方の出力を $R-C$ の積分回路に通した後電流計につなぎその電流値でパルスの発生率を読みとるようになっている。

模擬伝送路では既知量の干渉と雑音を加える必要があるが, 干渉は任意の量が加えられるようにするため入力ランダムパルス列をシフトレジスタ5段で5ビット遅延させこの各出力を0を中心として上下対称となるようにレベルシフトした上でアテネータを通し干渉の量に応じた重みづけを行ない演算増幅器を用いて加算している。これにより前後各2

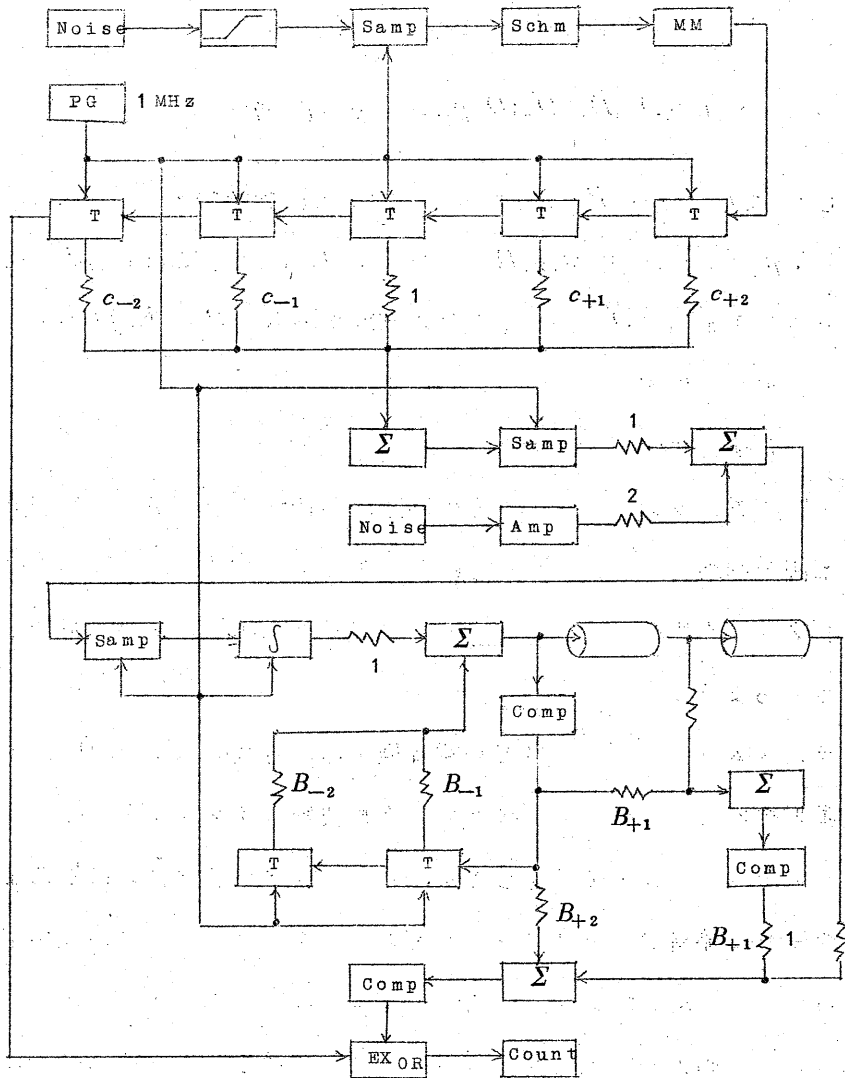


図-2 実験装置ブロック図

ビットのパルスからの干渉が任意に加えられる。(スイッチの切換により干渉の極性を変えることも可能) 演算増幅器は差動増幅器2段、レベルシフト回路および出力エミッタフォロワから成っており無帰還利得約

80dBで帰還をかけ利得0dBで使用している。また帯域は約10MHzである。この出力をダイオードブリッジから成るゲートによりサンプルし幅約380nsecの双極性パルスとしている。これに雑音を加えるわけであるが雑音発生器のレベルが低いためICのビデオ増幅器で増幅している。利得約22dB, 帯域約7.7MHzである。この雑音の加算も先に示したのと同様の演算増幅器を使用した。また雑音はエミッタフォロワで取り出し自乗パルポルでそのレベルを測定している。

干渉補償回路ではまず最初に入力信号のうちパルス区間のみをダイオードブリッジのゲートで取出し、これを積分している。積分は上記の演算増幅器を用いて行ないCの電荷をダイオードブリッジでリセットしている。この積分出力が干渉補償回路に入るわけであるが補償回路はⅡで説明した通りの構成になっている。ここでは加算器として上記の演算増幅器を用い、判定器は差動増幅器 $\mu p c 71$ を用いた。(不感帯 $\pm 1mV$) 先行パルスからの干渉の補償に用いる遅延線はデジタルの遅延であるため上記のシフトレジスタを用い同じくその出力をレベルシフトした上でアテネータで重みづけして補償量として入力パルス列に加算している。後続パルスからの干渉の補償に用いる遅延線は適当な遅延線がなかったため同軸ケーブルを使用している。(10D2Vを200m, 5D2Vを60m直列にして約 $1.3\mu sec$ の遅延を取っている。)後続パルスからの干渉の補償量としては判定器出力でフリップフロップを動かしその出力を0レベルに対して対称になるようにレベルシフトした上でアテネータで振幅を調整して重みづけを行ない補償量としている。

干渉補償回路の判定出力は模擬伝送路のシフトレジスタの出力のパル

ス列を時間関係をハーフシフトレジスタを用いて合わせた後これと Exclusive OR を取って誤りパルスを検出しこの誤りパルスの数をカウンタで数えて誤り率の測定を行なった。

この実験で用いたパルスは模擬伝送路の出力として振幅 ± 10 volt, 幅 380 n sec の双極性パルス, 積分器出力のパルスは振幅 ± 13 volt, 幅約 400 nsec の双極性パルス(いずれも干渉のないとき。)である。その他デジタル回路のパルスは $+6$ volt のパルスを使用した。使用トランジスタは全部で 250 個, IC は 11 個である。このうち補償回路にはトランジスタ 146 個, IC は 3 個を使用した。

誤り率の測定は 10 秒間の誤りパルスの数をカウントし, クロック周波数が 1 MHz であるからこれに 10^{-6} を掛けたものが誤り率である。これを 10 回繰返してその平均を求め誤り率の平均値としている。また測定値が正規分布していると仮定して自由度 $10-1=9$ の t 分布より 95% 信頼区間を求めた。 95% 信頼区間 $[A_1, A_2]$ は

$$t_a = 2.2622 \times s / \sqrt{10-1} = 2.2622 \times s / 3 \quad (14)$$

とすると

$$A_1, A_2 = \bar{m} \mp t_a \quad (15)$$

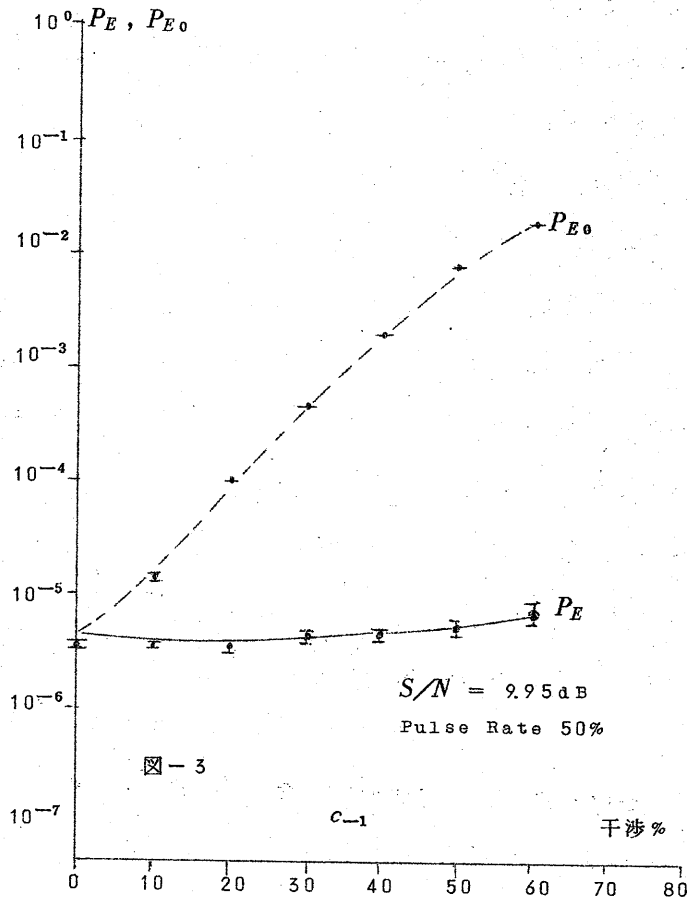
で示される。(但し S^2 は標本分散, m は標本平均である。)

IV 計算結果および実験結果

図-3~図-7に計算結果および実験結果を示す。図-3は1ビット前のパルスのみから干渉がある場合であり, 図-4は1ビット後のパル

スのみから干渉がある場合である。図-5および図-6は1ビット前および1ビット後の2つのパルスから干渉がある場合であり、図-5は前後のパルスからの干渉が等しいときであり、図-6は前のパルスからの干渉が後のパルスからの干渉の2倍のときである。図-7は2ビット前および1ビット前

のパルスからの干渉と1ビット後のパルスからの干渉がある場合でありその比が1:2:1の場合である。いずれも実線が補償を行なったときの誤り率 P_E を、破線が補償を行なわなかつたときの誤り率 P_{E_0} を表わす。また(3)で示した X

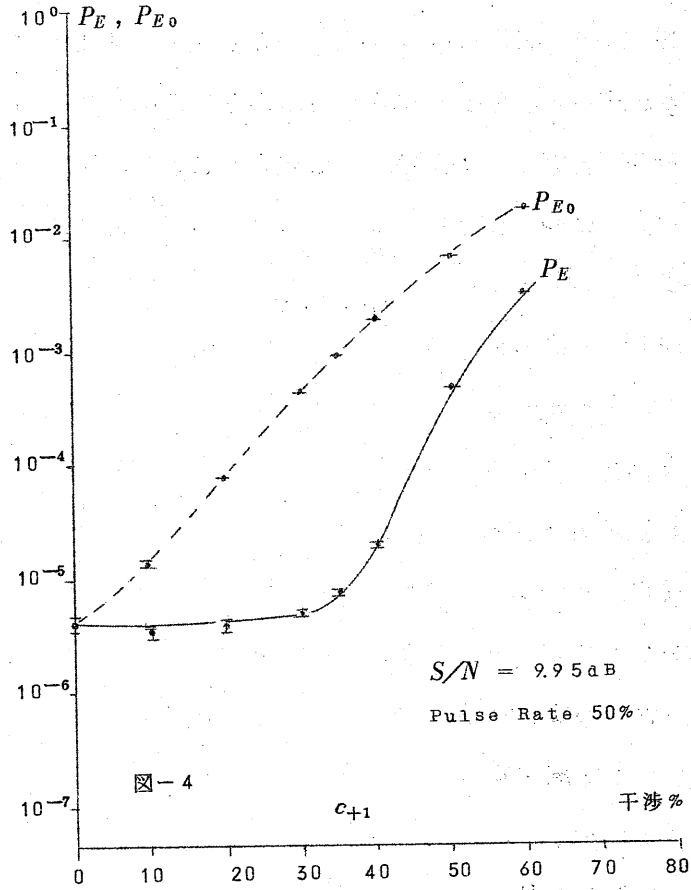


の値は3.14でありこれは $S/N = 9.95 \text{ dB}$ に対応する場合である。またパルスの発生率は50%である。実験値としてはいずれも平均値および95%信頼区間を示してある。

いずれの場合も実験値は計算値ときわめてよく一致しておりこの方式による誤り率改善の効果が確認できた。

V おわりに

この方式は各パルスの判定結果を使って補償を行なっており伝送路の特性にとらわれず任意の形の補償が容易であるという



特徴を有しており、改善効果も非常に大きいことが実験により確認された。

謝辞：終りにこの研究にあたり有益な御討論と助言をいただいた本学助教授秋山稔氏ならびに研究室の方々諸氏および同軸ケーブルについて御協力いただいた藤倉電線に謝意を表する。

参考文献

- (1) 尾佐竹, 田中, “パルス間干渉の改善,” 信学誌 49, 10,

P.1843 (Oct. 1966).

(2) 尾佐竹, 水崎, 下平, “パルス間干渉補償方式の実験,”

昭43, 信学全大 1264

(3) R.W.Lucky, “Automatic Equalization for Digital
Communication,”

B.S.T.J., April, 1965

なお計算には東京大学大型計算機センターのHITAC5020Eを利用した。また $Erfc$, 最小自乗法およびはき出し法の計算については同センターのライブラリプログラムを利用した。またこの研究は文部省科学試験研究費によった

ものである。

