

5N-08 大規模な投機的処理における分岐制御機構

中村 友洋, 吉瀬 謙二, 辻 秀典, 安島 雄一郎, 田中 英彦
東京大学大学院工学系研究科

1 はじめに

21世紀における大規模なVLSIを想定した次々世代のマイクロプロセッサが盛んに研究されているが、それらは大規模データパス(VLDP)プロセッサ[1]等に見られるように、大規模な投機的処理を行なうものが多い。本稿ではこのような大規模な命令先行展開における分岐制御機構について考察する。

2 目的と背景

これまでのマイクロプロセッサの性能向上は、デバイス技術の向上とアーキテクチャの改良の2つの柱によってなされてきた。ところが、今後目を向けると、デバイス技術の向上は、表1[2]に示す通りの向上が見込まれているが、アーキテクチャの改良については、従来のアーキテクチャのプロセッサを1チップ内に複数個入れたり、メモリのオンチップ化などのようなアプローチが主流となっている。しかし、次々世代まで考えたときに、このようなアプローチだけではアーキテクチャの改良によるマイクロプロセッサの性能向上には限界があると考えられる。つまり1プロセッサのデータパス部分の性能向上に関する検討もしていかなければならない。大規模データパス・プロセッサのようなアプローチがその1つである。しかし、このようなアプローチでは、より大規模な命令の先行展開を行なう必要が生じる。ここでは、この際に起こる問題について考察する。

表 1: デバイス技術ロードマップ

年	1998	2001	2004	2007
最小加工寸法 (μm)	0.25	0.18	0.13	0.10
MPU Tr. 数 (/chip)	28M	64M	150M	350M
chip 内周波数 (MHz)	450	600	800	1000

3 大規模命令先行展開

命令レベルの並列性を抽出するために、大規模な命令先行展開を行なう方法としては、次の3通りが考えられる。図1はそれを模式的に示したものである。

single-path 分岐予測機構を用いて、1つのコントロールフロー・パスの命令をフェッチする方式。分岐予測成功率が非常に高い場合は、命令ウィンドウを有効に利用できるが、分岐予測性能の影響を強く受ける。

eager-execution 各分岐命令ごとに両方のパスへの展開をし、すべてのパスのフェッチを行なう方式。大

規模な展開を行なうと、不要な命令をフェッチしてしまう率が高くなる。また、JMPL命令のようなレジスタ間接アドレッシングの分岐命令に対しては、分岐予測を行なわなければならない。

コントロールフロー先行展開 現在大規模データパス・プロセッサに関する研究の中で、検討されているフェッチ機構で、選択的に複数パスの投機的フェッチを行なう方式。分岐予測機構から、各分岐先への分岐確率値を予測し、その確率値によって1つ以上のパスの命令展開を行なう。

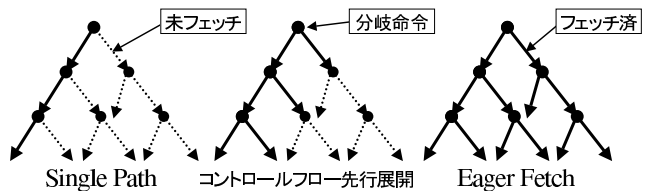


図 1: 命令の先行展開方式

4 先行展開と分岐予測

命令先行展開が大規模化することで、分岐予測機構に対してどのような影響が及ぶかを考察する。

レジスタ間接アドレッシング 1つの問題は、分岐先がレジスタ間接で計算される分岐命令の制御方法である。通常のBTAC(Branch Target Address Cache)を利用した分岐先予測では、ヒット率は50~85%であり、大規模な先行展開で用いるには性能が低く過ぎる。筆者らは、multi BTACという複数の分岐先をキャッシングする分岐先予測機構を提案し、90%以上のヒット率を達成できることを示した[4]。

分岐履歴情報の更新 BHT(Branch History Table)やBTACなどを用いて分岐予測を行なう場合に、命令の先行展開規模が大きくなるにつれて、予測時に使用する分岐履歴情報がより古いものになってしまうため、分岐予測精度が悪くなる可能性がある。図2はこれを示したものである。右の非更新型では、命令の先行展開の際に、履歴bitなどの更新が行なわれず古い情報が使われる。

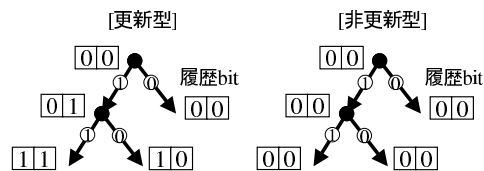


図 2: 分岐履歴情報の更新/非更新

5 命令の先行展開と分岐制御機構に関する考察

本稿では、以下のような条件で、分岐履歴情報の更新遅れに伴う分岐予測精度の低下に関して評価を行なう。

- SPECint92(cc,compress,espresso,sc),dhrystone (SPARC V8 code) を実行トレース 1000 万命令相当をシミュレート
- またぐ分岐命令数を N 個とする single path 方式の命令先行展開を行なう
- 分岐予測機構としては、BTAC と 2-bit BHT を用いる。いずれもエントリ数 2048 で 4-way セットアソシアティブである

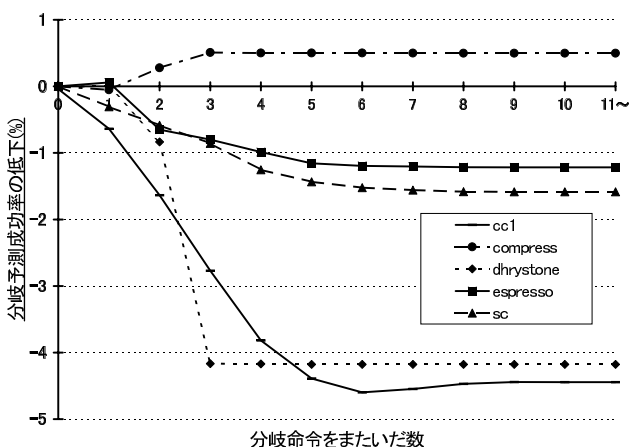


図 3: 更新型と非更新型の性能差

図 3は、更新型のとときと比較した非更新型の分岐予測性能の低下率を示している。ここで -1%とは、更新型に比べて、非更新型の分岐予測成功率が1%低いことを表している。横軸は命令の先行展開規模として、またがる分岐命令の数をとっている。

図 4は、非更新型の分岐制御機構を用いた場合の、展開規模と、展開された命令中の有効な命令数の関係を示したものである。例えば、cc1 で 8 個の分岐命令をまたいで命令を先行展開すると 22 命令程度が有効な命令として存在することが分かる。

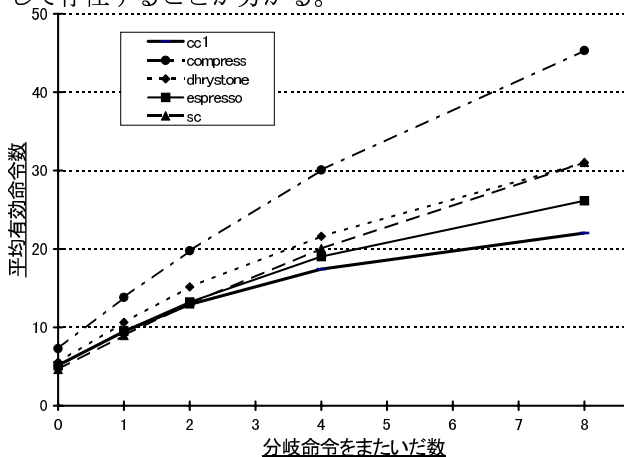


図 4: 命令先行展開規模と平均有効命令数 (非更新型)

図 5は、展開規模が分岐命令 8 個をまたいだ程度の場合に、更新型と非更新型のそれぞれにおける平均有効命

令数の差を示したものである。分岐予測成功率の低下にともなって、斜線の部分だけ有効な命令の含まれる数が減っていることが分かる。

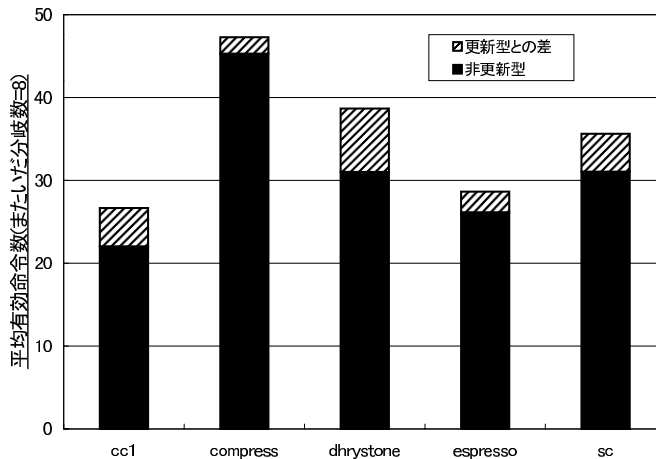


図 5: 更新型と非更新型の平均有効命令数

6 おわりに

本研究では、大規模な命令の先行展開に伴って分岐予測機構に生じる問題として、分岐履歴情報の更新が相対的に遅れるために、古い履歴情報によって分岐予測を行なうことによる予測成功率の低下を取り上げた。プログラムによっては、この影響により 4~5%程度も分岐予測成功率が低下する場合があります。更新型の分岐制御機構にする必要が示された。しかし、図 3を見ると分かるように、この低下は小規模な先行展開の部分で急激に起こり、より大規模化を進めても、あまり低下は進まないことも分かった。また、分岐予測成功率の低下によって、先行展開した命令中に含まれる有効な命令数が、10~20%も減少する場合があります。これは、先行展開を大規模化しても分岐制御機構が非更新型のようなものであると、無駄な展開が増えるだけであるということを示している。今後は VLDP プロセッサのフェッチ機構である、コントロールフロー先行展開における、分岐制御機構に関する詳細な検討を行なっていく。

謝辞

本研究の一部は文部省科学研究費 (一般研究 (B) 課題番号 07458052 「大規模データパスプロセッサの研究」) による。

参考文献

- [1] 中村友洋, 吉瀬謙二, 辻秀典, 安島雄一郎, 田中英彦, “大規模データパスプロセッサの構想”, 情報処理学会 計算機アーキテクチャ研究会, Vol.97, No.61, pp.13-18, 1997.
- [2] “The National Technology Roadmap for Semiconductors”, “Semiconductor Industry Association(SIA)”, 1994.
- [3] Augustus K. Uht and Vijay Sindagi, “Disjoint Eager Execution: An Optimal Form of A Speculative Execution”, IEEE 28th International Symposium on Microarchitecture, pp.313-325, 1995.
- [4] 中村友洋, 吉瀬謙二, 辻秀典, 安島雄一郎, 田中英彦, “分岐アドレス予測機構の比較検討”, 情報処理学会 第 55 回全国大会, Vol.1, pp.20-21, 1997.