

## 4W-1

## PIE64 における推論ユニットの概要

高橋 栄一 小池 汎平 田中 英彦

({eiichi,koike,tanaka}@mtl.t.u-tokyo.ac.jp)

東京大学 工学部\*

PIE64 Overview

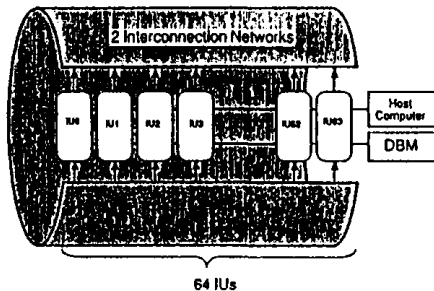


図 1: PIE64 の全体構成

## 1 はじめに

並列推論マシン PIE64 は、Committed-Choice 型言語 Fleng [1] を高速実行する 64 台の推論ユニットを、高速なインターコネクションネットワークで結合し、記号処理応用を目的として研究開発中の並列記号処理マシンである。これまで、10 台程度のプロセッサをバスで結合した共有メモリベースの並列処理マシンの研究開発が各所で精力的に進められているが、PIE64 では並列計算機アーキテクチャの基本はインターコネクションネットワークにあると考え、まず強力なインターコネクションネットワークの設計・製作を行なった [4]。現在、PIE64 の製作はネットワーク部分、及び、ラックの作成をほぼ終え、処理の中心となる推論ユニット、及び、推論ユニット上の各コプロセッサの研究を進めている。本稿では、PIE64 の推論ユニットの構成について述べる。

## 2 並列推論マシン PIE64 推論ユニットの構成

PIE64 は、64 台の推論ユニットを同一の構造を持つ 2 系統のネットワークで結合した構成を有する。PIE64 の全体構成を図 1 に示す。

推論ユニットの構成を図 2 に示す。各ユニットは以下のような機能を持つ。

- Management Processor(MP)  
負荷分散の管理、UNIERED 内でのゴール実行のスケジュー

リング、クローズインデキシングによる定義節の絞り込みなどの処理を行なう。また、数値演算処理に代表されるシステム述語の実行や、C 等の従来型の言語で書かれたプログラムモジュールの実行を行なう。さらに、NIP (Network Interface Processor) と協調して分散ガベージコレクションを実行する [5]。

- Unifier/Reducer(UNIERED)[2]

MP のコプロセッサで推論処理のためのサポートハードウェアである。UNIERED は、論理型言語のシリコンインタプリタであり、ゴール書き換えプリミティブをパイプライン処理により高速実行する。UNIERED 内では、複数のコンテキスト (ゴールと定義節の組) が並行処理される。これは、パイプラインサイクルと比べ、長い時間を要するリモートデータアクセスに対し、パイプライン処理のスループットを高く保つためである。リモートデータアクセスが必要になると、UNIERED は NIP に対し、データ転送の要求を出すと共に、高速コンテキストスイッチング機能の支援のもとに現在実行中のコンテキストの処理単位が終り次第、別のコンテキストの実行に移る。UNIERED はまた、ガベージコレクションのためのプリミティブオペレーションも実行する。

- Network Interface Processor(NIP)[3]

NIP は MP のコプロセッサであり、各推論ユニット内部と相互結合網とのインターフェースを行ない、データ転送やプロセス間同期などのプリミティブオペレーションをネットワークを介して 2 台の推論ユニット間で実行することにより、PIE64 で行なわれる並列推論処理のうち並列処理機能をサポートする。

- Local Memory(LMEM)

4 つにバンク分けされ MP、UNIERED 及び NIP からアクセス可能なローカルメモリである。

- Host Interface

PIE64 のホストプロセッサとして、ワークステーションを接続する。ユーザからは、PIE64 本体はこのワークステーションのロジックプログラムアクセラレータに見えることになる。ホストプロセッサは、ユーザインターフェースの他、プログラムローディング、システムメンテナンス等の役割も果たす。PIE64 の全資源は、ホストプロセッサの主記憶空間にマッピングされ、全ての推論ユニットは、ホストプロセッサに対し、割り込みを掛けることができる。

- I/O Interface

ある台数の推論ユニット毎に、1 本の I/O バスを共有し、PIE64 全体で複数本の独立した I/O バスを持つ。これら

\*Overview of the Inference Unit of PIE64, Eiichi TAKAHASHI, Hanpei KOIKE, Hidehiko TANAKA, the University of Tokyo

## Inference Unit

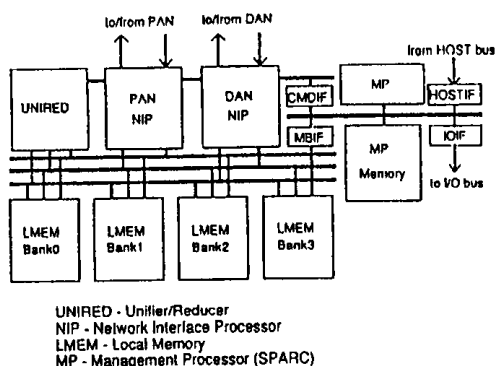


図 2: 推論ユニットの内部構成

の I/O バスには、データベースマシン、グラフィックプロセッサ、ニューラルネットワーク、電子楽器などが接続されることを想定している。

## 3 推論ユニットのハードウェア

図 3 に PIE64 のハードウェア実装の様子を示す。推論ユニットは 50cm×50cm のプリント基板 1 枚に実装し、インターコネクションネットワークを取り囲むように配置、接続される。推論ユニットボードには、この他にホストプロセッサ、及び I/O 装置と接続するためのコネクタが実装される。

システムクロックは 10MHz で、インターコネクションネットワーク上部に設けられたクロックジェネレータボードから等長配線されたケーブルを通して供給される。推論ユニットボード上ではこの 10MHz から MP (SPARC) 用の 20MHz のクロックを生成し、全ての推論ユニットを同期動作させる予定である。

放熱はファンによる強制空冷方式で行ない、電源は専用ケーブルを用いて直接ボードに供給する。

現在、この他に推論ユニットボード上にハードウェア、及びファームウェア (MP の制御プログラム) のデバッグ用コネクタの実装を検討している。

## 4 推論ユニットの性能予測

一つの推論ユニット内では次の処理を同時に実行することが可能である。

- MP (SPARC) によるシステム述語等の処理。
- UNIRED による 4 コンテキストの同時処理。
- マスター NIP によるリモートデータアクセス。
- スレーブ NIP による他の推論ユニットからのデータアクセス。
- 推論ユニット内の各プロセッサによるローカルメモリのアクセス。

したがって、推論ユニットによる推論処理について考察する場合、これらの処理のスケジューリングが理想的であると仮定すれば、リモートデータアクセス、ローカルデータアクセス、あるいは MP によるシステム述語処理、他の推論ユニットか

## PIE 64 Implementation

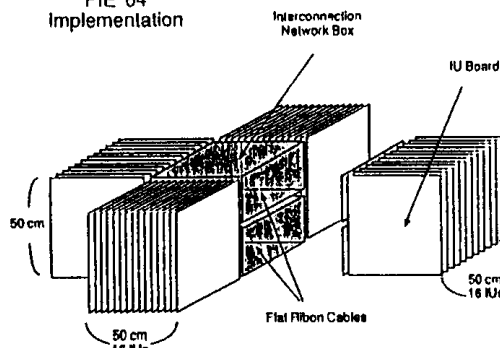


図 3: 推論ユニットのハードウェア

らのデータアクセスの処理は完全に無視することができ、推論ユニットの処理能力は UNIRED にのみ依存する。UNIRED の処理能力は約 1.3MLIPS 程度と見積もっている。

## 5 おわりに

本稿では、PIE64 における推論ユニットの機能、構成と予測性能について述べた。現在、推論ユニットは方式・実装設計と並行して、PIE64 上での Fleng の実行方式についても検討を進めており、その詳細については別途報告する予定である。

また、推論ユニットを構成する各プロセッサ、インターコネクションネットワーク、あるいはインターコネクションネットワークを介した複数の推論ユニットに対して、多数の信号線を同時にモニター、あるいはドライブできる専用ハードウェアの作成も進めている。

なお、本研究は文部省特別推進研究 No.62065002 による。

## 6 謝辞

相互結合網の構成要素となるゲートアレイ開発に当たり、多大なる御支援を賜った富士通研究所 人工知能第三研究室の服部室長、並びに、久門氏に深謝いたします。

## 参考文献

- [1] 下山, 島田, 小池, 田中, “Fleng コンパイラとその抽象化コード” 第 38 回 情報処理学会 全国大会, 6Q-3, Mar. 1989.
- [2] 島田, 下山, 清水, 小池, 田中, “推論プロセッサ UNIRED II の命令セットの概要”, 本大会.
- [3] 清水, 小池, 島田, 田中, “並列推論マシン PIE64 のネットワーク・インタフェース・プロセッサ”, 並列処理シンポジウム '89 A2-2, 情報処理学会, Feb. 1989.
- [4] 高橋, 田中, “並列推論マシン PIE64 におけるインターコネクションネットワークの作成と評価”, 計算機アーキテクチャ研究会 76-1, 情報処理学会, May 1989.
- [5] Lu Xu and Hidehiko Tanaka: Distributed Garbage Collection for the Parallel Inference Machine: PIE64, 第 38 回 情報処理学会 全国大会 5U-7, Mar. 1989.