

5U-6

PIE64 の実装設計の概要

高橋 栄一 小池 汎平 田中 英彦
 東京大学 工学部*

1 はじめに

我々は、これまでのPIEEE[1, 2]の研究・試作の経験に基づき、64台のプロセッサからなるPIE64[3]の開発を開始している。すでに、プロセッサ間ネットワークの構成単位となるゲートアレイ[4]を開発し、それをを用いたネットワークハードウェアの設計[5]を行なった。

現在、プロセッサエレメントを構成する2種類のゲートアレイと、ネットワークハードウェアを中心とした実装面での概略設計を行なっている。本発表では、ネットワークハードウェアを中心とした効率的な実装設計について検討する。

2 ネットワークハードウェアの実装設計

高並列システムは、プロセッサ数に比例してハードウェア量が増大するのに対し、性能向上のための高速クロックを有効に利用できるよう、また実用的な大きさに収まるように高密度実装技術を採用する例が多く、実装自体の困難さを克服するための特別の配慮が必要となる。

我々は、実装設計に際して、次に挙げるようないくつかの点を考慮した。

- 最新の実装技術を用い小型化を図る。
 ランダムロジックの部分は、特に内蔵ゲート数の多いCMOSテクノロジーのゲートアレイを用い、実装もそれに合わせて4~8層程度の多層基板に、高密度コネクタ、高密度ケーブル等を採用した。
- 総信号経路長を短くする。
 プリント基板間の結線を最短長で行なうことはもちろんであるが、ただ経路を短縮するのではなく、同じ役割を担う各経路間の信号遅延のばらつきを抑える方を優先させる。また、プリント基板内ではルーティング等も全面的にCADに頼るのではなく、ある程度人手を介して配線パターン改善を行なう方が良いと考えている。
- 基板強度を上げ部品の損傷を防ぐ。
 一つの信号経路が通過するコネクタ数を抑えるために、一枚の基板の大きさを大きくすると、相対的に基板の変形に対する強度が低下してしまうので、適宜補強材を付加してそれを補う必要がある。特にバックプレーンになるネットワークボードは、コネクタの部分に基板に垂直に力がかかるのでそれに耐えられる強度を持たせる必要がある。
- クロックや電源の配線方法に注意する。

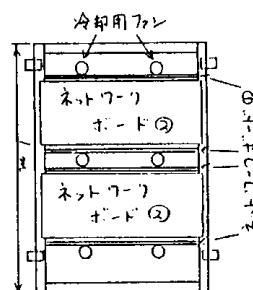
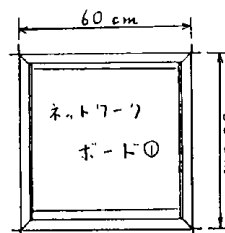


図1: ネットワーク部の実装

クロックはシステム全体を同期させるために、供給元から等長配線を行なう必要がある。もちろん、配線は同軸ケーブル等を使用しノイズが入りこまないようにする。電源のオン/オフは、CMOSゲートアレイがラッチアップを起こさないように行なわれなければならない。このためには、複数に分散された電源間の同期をどこかでとる必要がある、この点については現在検討中である。また、電源の配線方法は、流れる電流容量を考え断面積の大きい線を用いてコネクタは介さずに基板にじかに供給する。もちろん、電源装置はノイズ発生量の少ないものを選択しなければならない。

- テスト、デバッグ等のしやすい構造にする。
 全体構造に対する要求事項としては、コンパクトでかつ基板間の配線長が短くなる構造が望ましい。しかし、そのために作成が困難な構造になってしまうように注意しなければならない。また、逆に実験機であるから一旦組み立てた後で、テスト、デバッグ、調整、メンテナンス等がしやすいように、必要な部分は比較的オープンな構造になっていることが望ましい。
- 全体的にノイズとクロストーク対策を施す。
 ノイズ、およびクロストーク対策としては正しいシールドが効率的である。他に、ノイズ対策としてはパソコンの多用、アースの取り方に対する注意、クロストークに対しては基板上の並行配線長に対する制限等が考えられる。
- 放熱対策を十分に行なう。

*PIE64 - The Hardware Implementation of PIE64, Eiichi TAKAHASHI, Hanpei KOIKE, Hidehiko TANAKA, the University of Tokyo

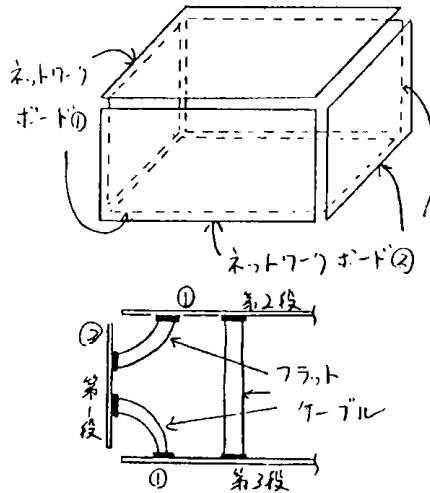


図2: ネットワーク部の組み立て方

最後に、最も見積りもりの困難問題として、放熱対策がある。大量に搭載されたメモリからは、相当な熱量が発生するものと思われる。ゲートアレイはCMOSであるとは言え、高速クロックで駆動され個数も多いので、これらの発生する熱量は無視できない。とりあえず、対策としてはファンによる強制空冷を行なう予定であるが、この観点からも対流を阻害するような複雑な構造は望ましくない。この点については、必要であれば実機開発後に適当な対策を講じることとしている。

ネットワーク部の概観を図1に、構造を図2に示す。

ネットワーク部は、システムの中央に位置し、四方からプロセッサボードが接続されるので、放熱やメンテナンス性を考え2種類5まいのボードで実装する予定であったが、実装技術等の関係で、これまでとは異なる2種類6枚のボードを用いて1系統のネットワークを構成する方式を採用した。6枚のボードは図2の用には小型に構成され、それぞれの間は倍密度フラットケーブルで接続される。ネットワーク上を通る信号は、都合3枚のボードを経由するが、その3枚が3段で構成されるマルチステージネットワークのそれぞれ第1段、第2段、第3断のスイッチに対応する。

3 PIE64の実装の概略

PIE64の実装構成は図3のようになる予定である(この外側にさらに外装板が付く)。中心部に2系統のネットワークを配置し、張り出した4つの部分にそれぞれ16枚ずつのプロセッサボードを格納する(PIE64のプロセッサボードは1ボード1プロセッサになる)。ネットワーク部の上部にクロックジェネレータを、プロセッサ部の下部に電源装置を配置する。

プロセッサ部もネットワーク部と同様に、放熱対策、クロック、電源の供給方法についても考慮するが、特にハードウェアの加工精度が十分でなくても、ボードの挿入時に生じる無理な方向への力によるコネクタ周辺の破損が起きないように、プロセッサボードとネットワークボードとの位置関係を調整可能に

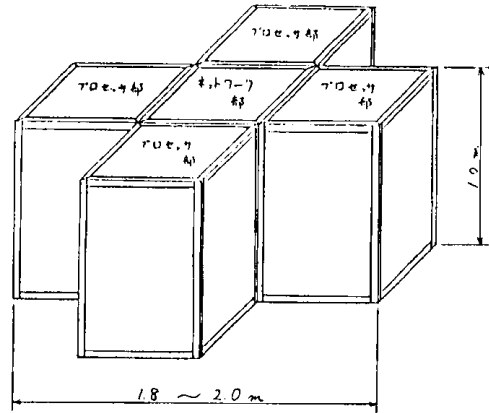


図3: PIE64の外観

する。4つのプロセッサ部の下部には、それぞれ電源装置と冷却用ファンを装備し、十分な電力供給と放熱効果が得られるようにした。

4 おわりに

本稿では、高並列推論エンジンPIE64の実装設計をネットワーク部分を中心に概説し、その実現方法について議論した。現在、当ハードウェアは作成段階に入っており、完成後の評価については別途報告する予定である。

参考文献

- [1] 小池, 山内, 田中, “高並列推論エンジン実験環境PIEEEの概要”, 第33回情報処理学会 全国大会, 5B-5(1986)
- [2] 小池, 山内, 野田, 田中, “高並列推論エンジン実験環境PIEEE - 全体構成 -”, 第34回情報処理学会 全国大会, 4P-3(1987)
- [3] 小池, 田中, “並列推論マシンPIE64の全体構成”, 第37回情報処理学会 全国大会, 5N-4(1988)
- [4] 高橋, 小池, 山内, 田中, “高並列推論エンジンPIEのLSI版スイッチングユニットの設計”, 第36回情報処理学会 全国大会, 1D-9(1988)
- [5] 高橋, 小池, 田中, “PIE64の相互結合網の構成法”, 第37回情報処理学会 全国大会, 5N-7(1988)