

PIE64 の相互結合網の構成法

5N-7

高橋 栄一 小池 汎平 田中 英彦  
 東京大学 工学部\*

1 はじめに

我々は、これまでのPIEEE[1, 2]の研究・試作の経験に基づき、新たに64台のプロセッサを多段網で結合したPIE64の開発を開始した。PIE64では、システムの小型化、省電力化、及び高信頼性化のために、各モジュールをゲートアレイを用いて再構成していく予定であるが、まず最初の試みとして、プロセッサ間ネットワークの構成単位となるゲートアレイを開発し、それを用いたネットワーク・ハードウェアの設計を行った。本発表では、ネットワークの構成単位となるスイッチングユニット・チップとネットワーク・ハードウェアについて概説し、高密度実装の方法について検討する。

2 スwitchingユニット・チップ

PIE64では、ネットワーク構造として多段網を採用し、その構成要素として8ビット幅 4ポート×4ポートのクロスバススイッチを1チップ(スイッチングユニット・チップ、SUチップ[4])に収めた。SUチップの特徴を簡単に述べると、

- 行き先プロセッサを指定した通信の他に、自動的に最小負荷のプロセッサに接続する機能を有する
- ルーティング動作を行うマスタモードの他に、他からの信号によってスイッチングできるスレーブモードがあり、1つのマスタチップに複数のスレーブチップを接続することにより、任意のビット幅のスイッチが実現できる
- ルータが多段構成に対応しており、任意のポート数のスイッチが構成できる。
- スwitchingは半二重、回線交換であり、同期通信および非同期通信、マルチキャストが可能である
- 使用したデバイスは、約6000ゲート、CMOSテクノロジーで、パッケージは179ピンのPGAである

などである。

3 ネットワーク・ハードウェアの構成

PIE64のネットワークは、上述のSUチップを用いて構成された、32ビット幅で64ポート×64ポートの多段網である。したがって、ネットワーク全体でSUチップが192個必要である。192個の179ピンPGAを一枚の基板上に載せるのは、ほぼ不可能であると思われるので、ネットワークの構造に当たってこれを4枚の16×16ネットワークボードと、1枚のシャッフルボードに分割する(図1)。16×16ネットワーク

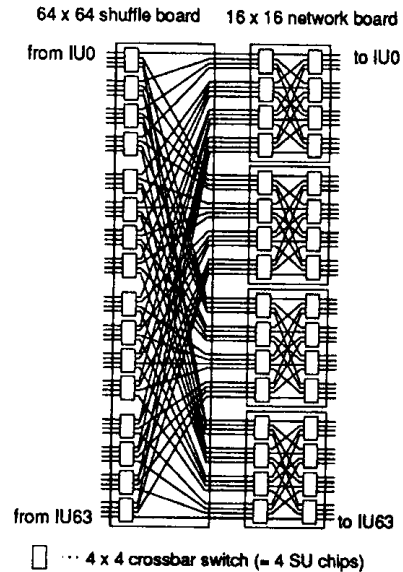


図1: ネットワーク構成

ボードは、単独で16ポート×16ポートの2段のネットワークとしても用いることのできる構成であり、一端は各プロセッサユニットに、一端は64×64シャッフルボードに接続する。また、64×64シャッフルボードは、文字通り64ポートからの入力をシャッフルするボードである。

これら5枚の基板は、図2のように組み合わせられて箱型になる。側面の4枚の基板が16×16ネットワークボードであり、底面の基板が64×64シャッフルボードである。

両ボード上の配線は、およそピン間4本以上必要である。また、2種類のボードを結ぶ部分でも、信号線だけで1300本程度の線が接続される必要があるが、基板の実装技術や、ソケットなどの高密度実装は現時点ですでに利用できる。

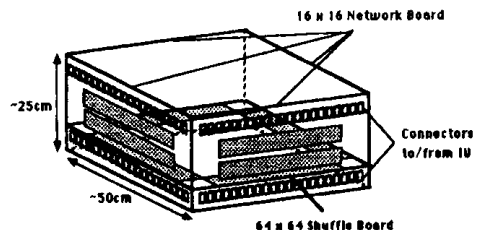


図2: ハードウェア構成

\*PIE64 - The Design of Interconnection Network, Eiichi TAKAHASHI, Hanpei KOIKE, Hidehiko TANAKA, the University of Tokyo

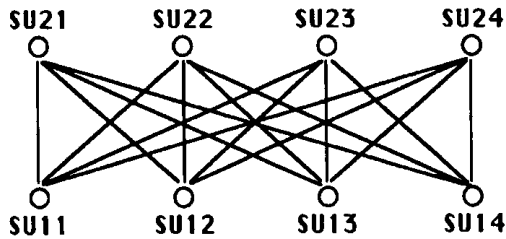


図 3: 配線グラフ

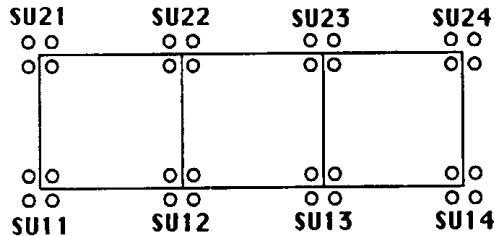


図 4: 格子状配線パス

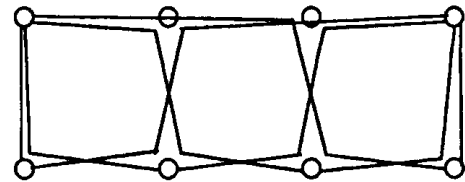
#### 4 ネットワーク・ボードの配線法

多段結合網の配線を、現在容易に利用できるようになった交差配線可能な配線法による基板を用いて行う場合、最小限の基板面積と配線長そして配線層数によりネットワークのコストの最小化を図るためには、ネットワークの結線の規則性を利用した均一な配線密度の実現が重要である。以下でこれについて検討してみる。

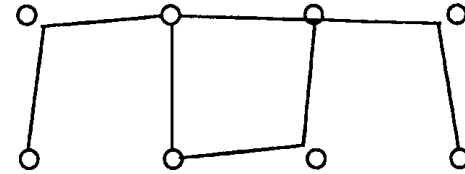
対象としたのは、配線の規則性が高いと期待される  $16 \times 16$  ネットワーク・ボードの配線パターンである。配線の前提条件として、

1. 一組の 32 ビット幅のスイッチを構成する 4 個のチップの並び方は、どの組でも同一である
2. SU チップの入出力端子のうち、各ポートで同一の役割を持つピンは、4 つずつ組になって正方形の各頂点の位置を占めている
3. 規則的な配線には基本的に縦方向、横方向のみを用い、斜め方向は用いない(斜め配線は残りの用途で用いる)
4. 縦横方向の配線は一層当たりピン間 3 本まで行えるを考慮する。

各ピンの組を一つのノードで表すと、第一段と第二段の対応するピン間の配線は図3のような完全二部グラフで表現される。これに上記の 3 番目の条件を考慮すると、これらの間の配線は図4の格子状で行うことになる。図3の各アークを図4にマッピングすると、アーク数の最大は 4 本となり、配線するには最低でも 2 層必要である。従って、図5のように、一つの層に最大のアークが入るようにすれば、計 3 層の配線層を用いて 2 個分の格子状バスが配線できる。しかし、さらに全体の配線を考慮すると、2 組以上の格子状バスが重複する部分が存在するが、最終的には図6のように、格子の各頂点をチップの対角線上に配置すれば、配線の均一化を行える。実際の対角線の幅は、ピン間 16 個分であるが、配線格子数は 28 で上記のように 2 格子ずつ配置すれば十分である。対角線上への配線は斜めの配線を用いて行う。



第一層 (その 1)



第一層 (その 2)

図 5: 配線層の割当

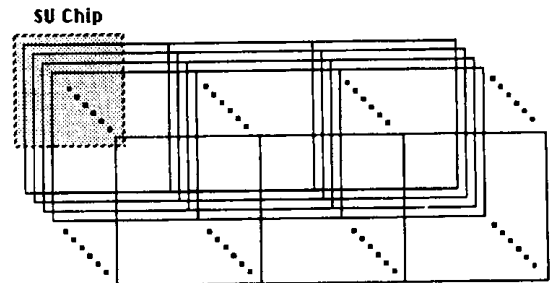


図 6: 格子状バスの配置

#### 5 おわりに

本稿では、高並列推論エンジン PIE64 のネットワーク・ハードウェアの構成を紹介し、その実現方法について議論した。現在、当ハードウェアは作成段階に入っており、完成後の評価については別途報告する予定である。

#### 参考文献

- [1] 小池, 山内, 田中, “高並列推論エンジン実験環境 PIEEE の概要”, 第 33 回情報処理学会 全国大会, 5B-5(1986)
- [2] 小池, 山内, 野田, 田中, “高並列推論エンジン実験環境 PIEE - 全体構成 -”, 第 34 回情報処理学会 全国大会, 4P-3(1987)
- [3] 小池, 田中, “並列推論マシン PIE64 の全体構成”, 第 37 回情報処理学会 全国大会 (1988)
- [4] 高橋, 小池, 山内, 田中, “高並列推論エンジン PIE の LSI 版スイッチングユニットの設計”, 第 36 回情報処理学会 全国大会, 1D-9(1988)