

並列推論マシン PIE64 の全体構成

5N-4

小池 汎平, 田中 英彦  
(東京大学 工学部)

1 はじめに

PIE64 は、並列論理型言語 FLENG とその機能強化版である FLENG++ の高速実行を主な目的とした、並列記号処理マシンである。64 台の推論ユニット (Inference Unit: IU) が、プロセス分散網 (Process Allocation Network: PAN)、及び、データ配置網 (Data Allocation Network: PAN) の 2 系統の相互結合網で結合されている。2 つの相互結合網は、どちらも自動負荷分散機構を備えている。

これまで、10 台程度のプロセッサをバスで結合した共有メモリの並列推論マシンの研究開発が各所で精力的にすすめられている。これに対し、我々の PIE64 では、並列処理技術の基本は、ネットワークにあるものと考え、より強力なネットワークにより、より多数台のプロセッサを結合するタイプのアーキテクチャを目指し、ここで生ずる問題点を明らかにし、それらに対する解決法を見出ししていく立場をとる。これにともない、研究の方針として、高性能なプロセッサ間ネットワークとその現実的な構成法を第一に確立し、次に、このネットワークを用いた通信プロトコルを明確化し、これらをもとに、個々のプロセッサ上での最終的な処理方式を確立していく。

本稿では、現在、想定している PIE64 の全体構成について述べる。

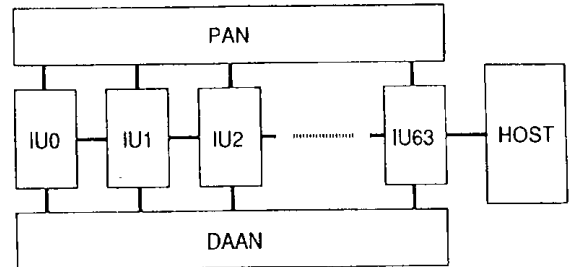
2 PIE64 の構成

PIE64 は、64 台の推論ユニット (Inference Unit: IU) が、プロセス分散網 (Process Allocation Network: PAN)、及び、データ配置網 (Data Allocation Network: PAN) の 2 系統の相互結合網で結合されている。2 つの相互結合網は、どちらも自動負荷分散機構を備えている。PIE64 の全対構成を図 1 に示す。

3 推論ユニットの構成

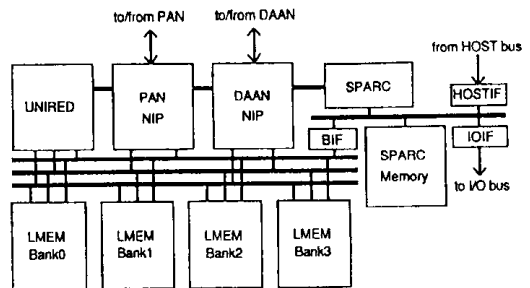
各々の推論ユニットは、

1. Unifier/Reducer (UNIRED)
2. Network Interface Processor (NIP)
3. Management Processor (MP)
4. Local Memory (LMEM)
5. MP memory
6. Host interface
7. I/O interface



IU - Inference Unit  
PAN - Process Allocation Network  
DAAN - Data Allocation/Accessing Network

図 1: PIE64 の全体構成



UNIRED - Unifier/Reducer  
NIP - Network Interface Processor  
LMEM - Local Memory

図 2: IU の内部構成

より構成される。

UNIRED と NIP は、MP のコプロセッサになっている。それぞれ、推論ユニットの、並列処理機能、推論処理機能の強化を目的としている。これらのプロセッサ間は、コマンドバスで結合され、コマンドをやりとりする。

UNIRED、NIP、MP は、パイプライン的にアービトレーションが行なわれる 3 本の同期バスを介して、ローカルメモリを共有する。

- Passive Unification
- Active Unification
- Goal Reduction
- Overwrite Goal Reduction

4 推論コプロセッサ UNIRED

UNIRED は、推論処理のためのサポートハードウェアである。UNIRED は、論理型言語のシリコン・インタプリタであ

<sup>9</sup>The Total Architecture of Parallel Inference Machine PIE64  
Hanpei KOIKE, Hidehiko TANAKA  
the University of Tokyo

り、以下のゴール書き換えプリミティブをパイプライン処理により高速実行する。

UNIREDの処理単位は、ゴールと定義節の組であるコンテキストである。MPは、ゴールのスケジューリングを行ない、処理するゴールを決定すると、クローズインデクシングにより、適用可能な定義節を選び、ゴールと定義節をペアにして、UNIREDに対し、コンテキストを供給する。UNIREDは、まず与えられたコンテキストに対し、Passive Unificationを適用し、頭部単一化を行なう。このユニフィケーションが成功し、コンテキストがコミットされると、UNIREDは、このコンテキストを用いて、Active UnificationとGoal Reductionを実行し、新しいゴールを生成する。特に、再利用可能なゴール領域に対しては、Overwrite Goal Reductionを実行し、メモリ消費速度の低下を図る。

UNIRED内では、複数のコンテキストが並行処理される。これは、パイプラインサイクルと比べ、長い時間を要するリモートデータのアクセスに対し、パイプライン処理のスループットを高く保つためである。リモートデータのアクセスが必要になると、UNIREDはNIPに対し、データ転送の要求を出すとともに、高速コンテキストスイッチング機構の支援の下に、現在実行中のコンテキストの処理単位の処理が終了し次第、別のコンテキストの実行に移る。UNIREDは、また、ガベージコレクションのためのプリミティブ・オペレーションも実行する。

## 5 ネットワークインタフェースプロセッサ

NIPは、並列処理のためのサポートハードウェアである。NIPの基本機能は、UNIRED又は、MPの要求に応じて、PAN又はDANを通して、IU間でローカルメモリの内容を転送することである。転送の相手は、要求によって明示的に指定される場合と、負荷情報の最小のプロセッサが自動的に選択される場合とがある。後者の転送方式は、相互結合網に装備された、自動負荷分散機構によって実現される。

MPは、負荷分散の管理、UNIRED内でのゴール実行のスケジューリング、クローズインデクシングによる定義節の絞り込みなどの処理を行なう。また、数値演算処理に代表されるシステム述語の実行や、Cなどの従来型の言語で書かれたプログラムモジュールの実行を行なう。

## 6 ホスト / 入出力インタフェース

PIE64のホストプロセッサとして、ワークステーションを接続する。ユーザからは、PIE64本体は、このワークステーションのロジックプログラムアクセラレータに見えることになる。ホストプロセッサは、ユーザインタフェースの他、プログラムローディング、システムメンテナンスなどの役割も果たす。PIE64の全資源は、ホストプロセッサの主記憶空間にマップされ、又、すべてのIUは、ホストプロセッサに対し、割り込みを掛けることができる。

8台のIUごとに、1本のI/Oバスを共有し、PIE64全体で8本の独立したI/Oバスを持つ。これらのI/Oバスには、データベースマシン、グラフィックプロセッサなどが接続されることを想定する。

## 7 相互結合網

PAN、DANは、どちらも自動負荷分散機構を備えた多段結合網である。行き先プロセッサの負荷情報を、ネットワークの未使用の経路を使って逆方向に流すことにより、ネットワークは、負荷分散接続要求に対して、接続可能なプロセッサのうちで負荷情報の最小なプロセッサへの経路を自動的に選択する。PANではこの機能をIU間での処理負荷の均衡化に用いる。DANではこの機能をIU間でのデータ配置の均衡化によるアクセス衝突の低減に用いる。通常のリモートデータアクセスには、両方のネットワークが用いられる。

## 8 おわりに

今回我々が開発を開始した、並列推論マシンPIE64の概要と全体構成について報告した。現在、各部の詳細の検討を急いでいる。なお、個々の詳細については、関連発表[2, 3, 4, 5, 6, 7]を参照して頂きたい。

## 参考文献

- [1] Nilsson M. and Tanaka H., "FLENG Prolog - Turning supercomputers into Prolog machines", Proc. Logic Prog. Conf. '86, Tokyo, June, 1986.
- [2] 小池, 清水, 島田, 田中, "PIE64のネットワークインタフェースプロセッサの概要", 本大会.
- [3] 島田, 小池, 清水, 田中, "PIE64上でのFLENG実行方式", 本大会.
- [4] 高橋, 小池, 田中, "PIE64の相互結合網の構成法", 本大会.
- [5] 中村, 小中, 田中, "Committed-Choice型言語FLENGとその上のユーザ言語FLENG++", 本大会.
- [6] 許, 島田, 小池, 田中, "A Study of Gabage Collection for PIE64", 本大会.
- [7] 吉田, 田中, "PIE64のデータベースマシンとのインタフェースについての考察", 本大会.