

高並列推論エンジン実験環境PIEEE
— 推論ユニット —

4P-4

野田 浩, 小池汎平, 山内 宗, 田中英彦
(東大 工学部)

1. はじめに

高並列推論エンジン実験環境PIEEE [1] の推論ユニットは、単一化プロセッサ、マイクロプロセッサ、ローカルメモリなどからなる。このうち主要処理要素である単一化プロセッサ(UP)は、その主な処理である単一化・縮退を、専用のハードウェアでパイプライン処理することによって、従来の試作UP [2] よりも高速に処理を実行する。

本報告では、この単一化・縮退専用ハードウェア(VECTOR-UNIRED)の構成についてのべる。

2. VECTOR-UNIREDの構成

今回試作を進めているUNIREDは、IC約400個からなり、従来のUNIREDを、パイプラインゴール書き換え方式 [3] とゴール切り分け方式 [4] に対応できるように改良し、

さらにパイプライン処理によって高速化したものである。

UNIREDの単一化・縮退アルゴリズム [5] が基本的に

1. セルの読み出し
2. 読み出したセルのタグの判断
3. タグの値に応じた処理

の繰返しであることに着目し、単一化は3ステージ、縮退は(構造体のマーキングの検査が必要なため)5ステージのパイプライン処理を行う。

2.1 単一化

単一化時のUNIREDの構成を図1に示す。各ステージでのおよその処理は、以下の通りである。

第1ステージ:

g-addr, d-addr が指すセルをそれぞれメモリからg-cell, d-cell に取り出す。必要ならば変数のたぐりを行う。g-mem; d-mem にはそれぞれたぐりが終了したと

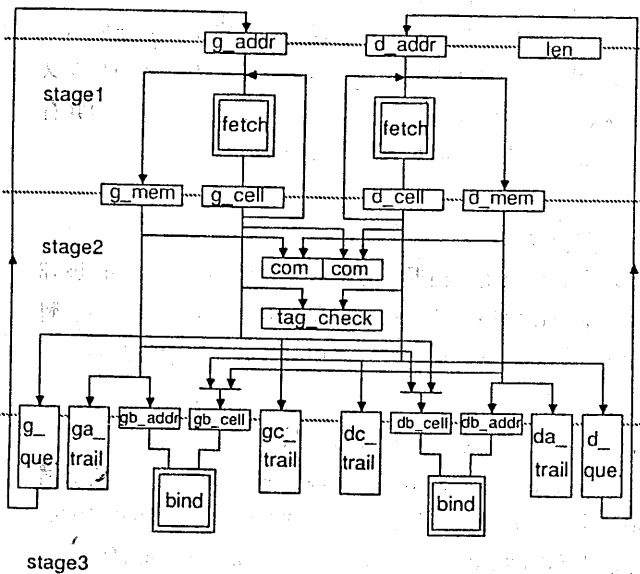


図1 単一化のパイプライン

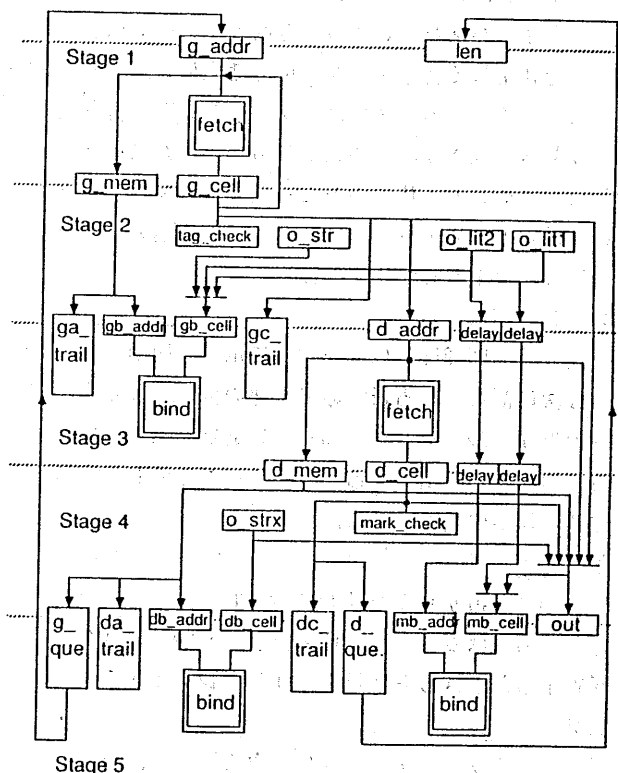
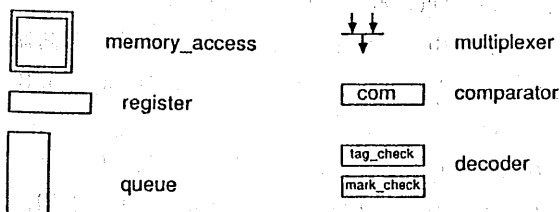


図2 縮退のパイプライン

きのg-cell, d-cell の値を指すアドレスが入る。

第2ステージ:

g-cell, d-cell のタグをチェックし、次の処理を決める。

第3ステージ:

タグの値に応じた処理が行なわれる。

(例1) g-cell, d-cell の値がそれぞれ未定義変数(UNDEF)、アトムであったならば、g-mem がgb-addr に、d-cellがgb-cell に移され、gb-addr の指すメモリ上のセルをgb-cell の内容に書き換える。

(ゴール側変数への代入)

(例2) g-cell, d-cell の値がいずれもリスト、ベクタ等の構造データを指すポインタであったならば、いったんそれぞれ g-que., d-que. に代入し、現在処理中のリテラル(又は構造データ)の単一化が終了した時点でg-addr, d-addr に取り出され、構造データの単一化に移る。つまり、ネストした構造データの単一化は広さ優先で行なわれる。これに対し従来の試作UNIREEDでは、g-addr, d-addr をスタックに退避し、深さ優先で構造データの単一化を先に実行していた。この方式では、構造データをさすポインタが現れる度にコンテキストの切り換えがおき、パイプラインが乱れてしまう。今回のUNIREEDでは、キューを利用して構造データを広さ優先に処理することによって、スムーズにパイプライン処理を行なえる。変数への代入がおこるとGFやDTの内容が破壊されてしまう。そこで、代入がおこる度に代入前のデータ(UNDEF)とそのアドレスをキューに書き込み(trail)、後にGFを再生する情報を保存しておく。

2.2 縮退

縮退時のUNIREEDの構成を図2に示す。図中で、o-strxは次に割り当てる新GFの構造部の位置を表す。g-addrの指すセルを縮退して o-lit1(又は o-str) の指す新GF中のセルに出力する。各ステージでのおよその処理は、以下の通りである。

第1ステージ:

g-addrが指すセルをメモリからg-cellに取り出す。必要があれば変数のたぐりを行う。g-mem にはたぐりが終了したときのg-cellをさすアドレスが入る。

第2ステージ:

g-cellのタグをチェックし、次の処理を決める。

第3ステージ:

タグの値に応じた処理が行なわれる。

(例1) g-cellがUNDEFであったならば、g-mem がgb-addrに、o-lit1(又は o-str) が gb-cellに移され、gb-addr の指すメモリ上のセルをgb-cell の内容に書き換える。

(例2) g-cellの値が構造データを指すポインタであったならば、マークの有無をしらべてコピーの重複を避けるため、d-addr (g-cellの値が移されている)の指す先に書かれているセルをメモリからd-cellに取り出す。d-mem にはd-cellを指すアドレスが入る。

第4ステージ:

第4ステージ以降は、構造データを指すポインタの縮退の場合のみ必要である。d-cellのマークがチェックされ、既に縮退されたデータなのか否かを判断する。

第5ステージ:

マークの有無に応じた処理を行う。d-cellがノーマークであれば、マークする。out レジスタには、新しいGFのセルが書き込まれる。

こうして5ステージ目に生成された新GFのセルは、順次、次のUPへ送り付けられる。(パイプラインゴール書き換え方式)また、セルの型によっては第3、又は第4ステージで新GFを出力する場合もありうる。さらに、新GFを切り分けて、当面次段におくりつける必要のないセル及びGFの結合情報を自らのメモリに書き込むことも可能である。(ゴール切り分け方式)

2.3 ハードウェアの共有

以上で示した単一化と縮退は、実際には共通のハードウェアで実行される。(図1と図2の同名のレジスタ、キューは同一のハードウェアである。)この共有によって使用IC数が著しく減少する。

3. おわりに

以上、単一化・縮退の専用ハードウェア VECTOR-UNIREEDの構成について述べた。現在、その設計を完了し、製作を進めている。なるべく早期の稼働を目指したい。

<参考文献>

- [1] 小池, 山内, 田中, “高並列推論エンジン実験環境PIEEEの概要”, 第33回情報処全大, 5B-5, 1986.
- [2] Yuhara, Koike, Tanaka, Moto-oka, “A Unify Processor Pilot Machine for PIE”, The Logic Programming Conference'84, ICOT, March, 1984.
- [3] 小池, 田中, “高並列推論エンジンPIEの高速実行方式”, The Logic Programming Conference'86, ICOT, June, 1986.
- [4] 丸山, 酒井, 田中, 元岡, “PIEにおけるゴール表現形式とそのシミュレーション評価”, 第32回情報処全大, 1R-6, 1986.
- [5] 湯原, 相田, 後藤, 田中, 元岡, “高並列推論エンジンPIEにおける単一化プロセッサと縮退アルゴリズム”, 信学技報, EC 83-30, 1983.