

高並列推論エンジン実験環境PIEEE

— 全体構成 —

4P-3

小池汎平, 山内 宗, 野田 浩, 田中英彦  
(東大 工学部)

1. はじめに

高並列推論エンジンPIE [1] は、ゴール書き換えモデルに基づき、論理型言語を高並列に実行する。現在我々は、複数台の推論ユニットを自動負荷分散ネットワークで結合したPIEの並列処理向け実験環境PIEEE (Parallel Inference Engine Experimental Environment) [2] の製作を進めている。PIEEEは、ハードウェアによる並列処理の評価をはじめ、これまでに提案してきた種々の高速化技法の実験、システムプログラムの作成等の実用化システムに向けての検討など、広い範囲の実験に用いる予定である。このためPIEEEは柔軟性を重視した設計を行なった。

PIEEEは、基本的には 32bitマイクロ・プロセッサ68020(25MHz)とローカル・メモリを構成要素とする高速マルチ・マイクロプロセッサ・システムである。しかし、単なるマルチ・マイクロプロセッサ・システムでなく、推論処理を支援する専用ハードウェアとして単一化

・縮退等の処理を高速に行なうVECTOR-UNIRED を [3]、並列処理を支援する専用ハードウェアとして自動的に最適な負荷分散を行なうネットワーク [4] とDMA コントローラを、コプロセッサとして用意し、可能な限り的高速処理を目指している点がPIEEEの特徴である。本稿では、PIEEEの全体構成について報告する。

2. P I E E E の全体構成

PIEEEは、図1に示すように、

- ①推論ユニット
- ②負荷分散ネットワーク
- ③共有メモリネットワーク
- ④ホスト計算機

から構成されている。

推論ユニットで、ゴールの書き換え等の基本処理が行なわれる。

負荷分散ネットワークを通して推論ユニット間でゴールフレーム (GF) のやりとりが行なわれる。負荷分散ネットワークには、負荷情報をフィードバックし、負荷最少のプロセッサへの経路を自動的に設定する、自動負荷分散機能 [5] が付いたクロスバススイッチを用いている。推論ユニットが自動負荷分散モードの経路設定を指示すると、各推論ユニットがネットワークに送出している負荷情報をもとに、負荷最少のプロセッサへの経路設定を行なう。

共有メモリネットワークは、各推論ユニットが持つ分散共有メモリ間でデータのやりとりを行なうためのネットワークである。共有メモリ用ネットワークも負荷分散ネットワークと同様の4×4のクロスバススイッチを用いており、推論ユニットの設定した値により自動的に経路を設定するモードでも動作可能である。

3. 推論ユニットの構成

推論ユニットは、PIEEEの基本処理要素である。推論ユニットは、図2に示すように、大きく次のような4つの部分に分かれる。

- ① 68020 プロセッサ・システム
- ② ローカルメモリ
- ③ VECTOR-UNIRED

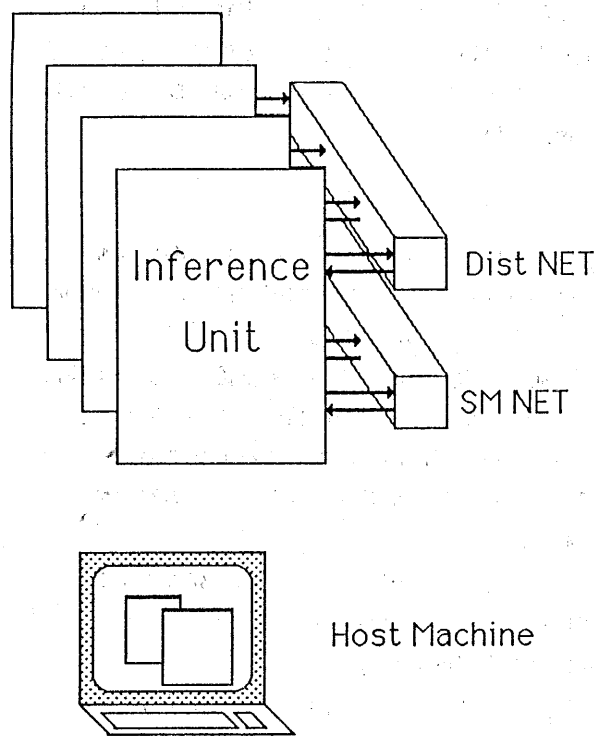


図1. P I E E E の全体構成

## ④ DMA コントローラ

68020 により推論ユニット全体の処理が行なわれる。接続される専用ハードウェアの高速処理に見合った処理速度を得るため 68020 には、現在入手できる最高速のクロック周波数 25MHz のチップを用いている。

ローカルメモリは 1 台の IU 当り 1M バイトの容量を持ち、アクセスの時間多重とバンク分けにより、VECTOR-UNIRED からの 2 本のバスによるアクセスと、DMAC 又は 68020 からのアクセスが同時に行なわれる 3 ポートメモリである。

VECTOR-UNIRED は、以前に試作した試作単一化プロセッサ UNIRED [6] を、種々の高速実行方式に対応できるように改良し、更にパイプライン処理により高速化したものである [3]。VECTOR-UNIRED は、

- ① 単一化
- ② 通常の縮退
- ③ ゴール切り分け時の縮退

の 3 つの動作モードを持ち、68020 の指示で処理を行なう。未定義タグの検出等の種々の条件によるハードウェア側から 68020 への割り出し機能を設けるなどして、柔軟性を損わないように留意している。

DMA コントローラは、

① 分散ネットワークを経由して到着した GF の MM への書き込み

② 分散メモリネットワークを経由した推論ユニット間でのデータの転送

を行なう。②の機能により推論ユニットは他の推論ユニットのローカルメモリと自分のローカルメモリの間で、任意の大きさのデータを転送することができるになっている。この機能により、各推論ユニットは分散型の共有メモリを持つことになり、データの共有、ストリーム AND 並列言語のサポートに用いることができる。

68020 は、コプロセッサ用の通信プロトコルをユーザに公開しており、ユーザは自由に独自のコプロセッサを設計することができる。VECTOR-UNIRED と DMA コントローラは、浮動小数点プロセッサなどと同様、68020 に対してコプロセッサとしてインタフェースされ、これらのコプロセッサが提供する unify, reduce, receiveGF などの拡張命令を 68020 が実行することによって、動作が開始される。このようにすることにより、68020 と専用ハードウェアとの結合が最も密になり、ハードウェアの起動や情報のやりとりにおけるオーバーヘッドを最少にすることができる。

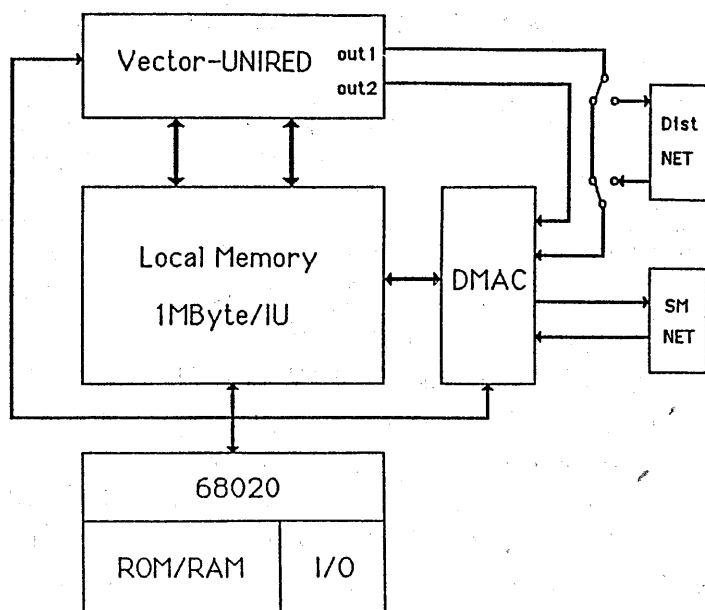


図 2. 推論ユニットの構成

以上の機能を持つ推論ユニット 1 台が、1 枚当り 180 個の IC がのる基板 7 枚に実装されている。

## 4. おわりに

複数台の推論ユニットを自動負荷分散型ネットワークで結合した、PIE の並列処理向け実験環境 PIEEE の全体構成について述べた。現在、その詳細設計を完了し、製作を進めている。なるべく、早期の稼働を目指したいと考えている。

## &lt;参考文献&gt;

- [1] Moto-oka, Tanaka, Aida, Hirata, Maruyama "The Architecture of A Parallel Inference Engine - PIE -", Proc. of FGCS'84, pp479-488, 1984.
- [2] 小池, 山内, 田中, "高並列推論エンジン実験環境 PIEEE の概要", 第 33 回情処全大, 5B-5, 1986.
- [3] 野田, 小池, 山内, 田中, "高並列推論エンジン実験環境 PIEEE - 推論ユニット -", 第 34 回情処全大, 4P-4, 1987.
- [4] 山内, 小池, 野田, 田中, "高並列推論エンジン実験環境 PIEEE - 自動負荷分散ネットワーク -", 第 34 回情処全大, 4P-5, 1987.
- [5] 坂井, 小池, 田中, 元岡, "動的負荷分散を行う相互結合網の構成", 情処論, Vol. 27, No. 5, 1986.
- [6] Yuhara, Koike, Tanaka, Moto-oka, "A Unify Processor Pilot Machine for PIE", The Logic Programming Conference'84, ICOT, March, 1984.