ＰＩＥの構造メモリ試作ハードウェア
～ 推論ユニット ～

1R-2

猪股　宏文、　平田　圭二、　田中　英彦、　元岡　達
（　東京大学　工学部　）

1．はじめに

現在、我々が開発しているＰＩＥにおいて、構造データ共有方式を取り入れると、大規模な構造データが出現した場合でも効率良く処理が行える[1]。構造データ共有方式を支援するハードウェアとして構造メモリ(SM)を提案した[2]。我々は、ＰＩＥにおける構造メモリ(SM)の試作を進めている。SMに対して、推論を実行する推論ユニット(IU)内でも構造データ共用方式を支援するハードウェアが必要である。本稿では、このIU側ハードウェア部分の構成及びマイクロ命令等について述べる。

2．ＩＵ側ハードウェアの機能について

今回試作するハードウェアの全体図を図１に示す。IU側ではゴール節(GF)の持つ構造データの内、Ground Instance(GI) の部分を切り分け、SMに格納し、後Lazy Fetch(LF)を行う。従って、IU側では以下の４つの機能をハードウェアで実現した。

- Lazy Fetch (LF) 管理
- Ground Instance (GI)管理
- Reference Count (RC)命令管理
- Empty Address(EA) 管理

3．ＩＵ側ハードウェアの構成について

ＩＵは単一プロセッサ、定義節メモリ、メモリモジュール、アクティビティコントローラから成る。今回の試作では構造データ共有方式を支援する部分のみハードウェア化し、その他の部分はマイクロプロッセサによってその機能を代行させることにした。図２にＩＵ側ハードウェア構成図を示す。ＩＵ側ハードウエアは６ブロック（ＳＥＱ，ＡＬＵ，ＣＡＭ，ＳＴＲＧ，ＬＦＩＦ，ＭＢＩＦ）７ボード（ICの総数は約 700個）から成り、構造データ共有方式に本質的なIUの機能の一部を実現し、６８Ｋマイクロプロセッサとメモリによってその他のIU全体の機能をシミュレートする。

ＳＥＱブロックには、シーケンサ　：Am２９１０Ａがあり、各ブロックを制御する。各ブロックへの制御信号は各ブロックにＷＣＳが分散配置されているので、シーケンサ　は各ブロックへＷＣＳのアドレスを送るのみで十分である。

ＡＬＵブロックには、マイクロプロセッサ：Am２９１１６を用いている。主にアドレス計算とタグ処理と参照カウント(RC)命令管理の計算を行う。

ＣＡＭブロックでは、厚木通研で開発された連想メモリＡＰＬ１Ａを２個用いた。LFを行う時、LFバッファテーブル(LFBT)を高速に検索する必要があるので、LFBT自体を１つの連想メモリで構成した。また、RC命令はある程度バッファリングして最適化を施してから送出するので、そのバッファとして連想メモリを用いた。今回の試作に用いた連想メモリのサイズは32ビット 128語（4Kビット）である。

ＳＴＲＧブロックは、種々のレジスタ及びバッファ（メモリ）から成っている。

ＬＦＩＦブロックは、IUが LF ネットワーク（LFN)を通してＳＭをアクセスする時のインタフェースの役割を果たす。FIFOとタイミング発生回路から成る。

ＭＢＩＦブロックは、主に６８Ｋマイクロプロセッサとのインタフェース（内部バス－マルチバス変換）を行う。６８ＫがLF,GI の格納、RC命令の発行を行いたい時には、ＭＢＩＦブロックを通してデータの転送を行う。また、各ブロックのためのデバッグを行うためにマルチバスからは、IUモジュールのすべてのリソースが適当なアドレスに割付られている。

各ブロック間のデータ通信は、２つの内部バス（Ａ　ＢＵＳ，Ｄ　ＢＵＳ）を通して行う。

4．マイクロ命令の構成について

マイクロ命令は、１語１６８ビットから成り、水平形に近い命令形式である。このマイクロ命令は大別すると次のようなフィールドから成る。

- 内部バス上のデータを制御するためのソースデータアドレスフィールド、ライトデータイネーブルビット
- 各ブロックにあるシーケンサ、ＡＬＵ、連想メモリに送る命令のフィールド
- その他ゲート等に送る制御信号用のフィールド

5．おわりに

以上、構造データ共有方式を支援したＩＵ側のハードウエアとそのマイクロ命令の説明を行った。今後、ハードウェアのデバッグ等を行い、ＳＭとＩＵを接続して全体のマシン性能の評価を行う予定である。

6．謝辞

厚木通研の御厚意により、連想メモリの使用が可能になりました。ここに深く感謝いたします。

＜参考文献＞

1. 平田　他“高並列推論エンジンにおける構造データの効率的な処理方法について”、信学技報EC83-38 (1983).

2. 平田　他“PIE における構造メモリの構成について”、ｱｰｷﾃｸﾁｬﾜｰｸｼｮｯﾌﾟｲﾝｼﾞｬﾊﾟﾝ'84 情報処理学会　Nov. 1984.

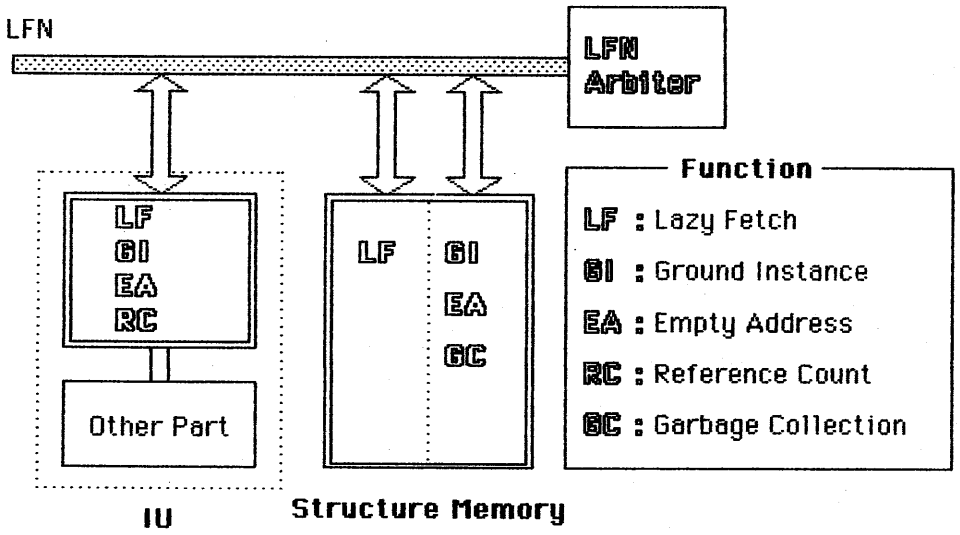

図 1　Block Diagram of SM hardware Simulator

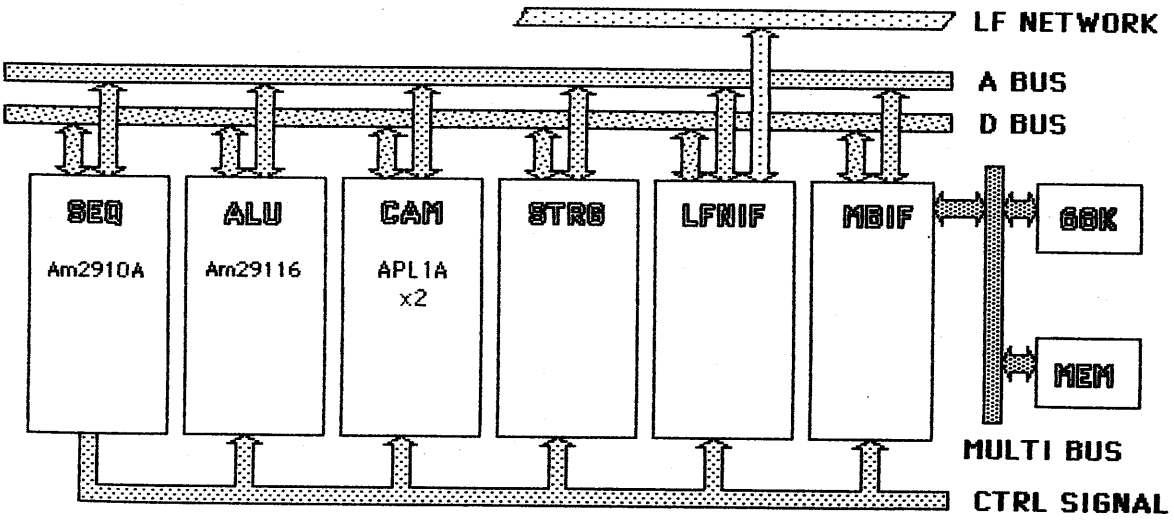

図 2　Block Diagram of IU Module