

PIEの構造メモリ試作ハードウェア

1R-1

～全体構成～

平田 圭二, 田中 英彦, 元岡 達

(東京大学 工学部)

1. はじめに

現在我々は高並列推論エンジンPIE [1]の研究を進めている。PIEはゴール書き換えモデルに基づき論理型プログラミング言語に内在するOR並列性を最大限に活用しつつ、高速に処理を行うマシンである。PIEに構造データ共有方式を導入すると、大規模な構造データが出現した場合でも高い処理能力を維持できることは、ソフトウェアシミュレーションによって確認している [2]。

構造データ共有方式は推論ユニット (IU) 間で転送される基本処理単位 (ゴールフレーム: GF) に含まれる構造データの内、Ground Instance (GI) の部分のみを切り分け、メモリに格納する方式である。構造データ共有方式により縮退、転送時間の短縮を図ることができる。構造データ共有方式を効率良く実現するためには、構造メモリ (Structure Memory: SM) を導入する必要がある [3]。本稿では現在試作中のPIEの構造メモリハードウェアシミュレータについて報告する。

2. 本ハードウェアシミュレータの全体構成

構造データ共有方式を導入したPIEは、16台のIU毎に1台のSMを置いた、階層構成のアーキテクチャを持つ。GIの処理のため、SM-IU間でコマンドやデータの転送などを行う基本操作として以下の4つを定めた [3]。

① Lazy Fetch

単一化時、必要となったSM中の構造データをIUに読み出す操作をLazy Fetch (LF) と呼ぶ。

② Ground Instance の切り分け・格納

GIが否かの検査は、縮退時に構造データの末端の1ノードに対してのみ行い、SMに送出する。

③ 参照カウント命令

新GFを生成する時に参照カウント (RC) 命令を発行する。IU内でバッファリングして最適化を施し、まとめてSMに転送する。

④ SM空き番地管理

GIをSMに格納する際には、GFがその格納番地を知る必要があるため、SMはあらかじめ空き番地 (Empty Address: EA) を各IUにLFNを通して配布しておく。

本ハードウェアシミュレータはIU1台、SM1台という構成を持ち、上記4操作を効率良く実行するための専用ハードウェアをIU側、SM側に各々持っている (図1)。SM側では2つのシーケンサが同一クロックで動作しており、1つはLF処理のみを行い、もう一方は上記の②~④に対応する処理を行う。SM側のブロック図を図2に示す。IU側の詳細については文献4を参照のこと。

3. おわりに

現在デバッグ中であるが、今後は種々のデータを収集し、さらにアーキテクチャの検討を進める予定である。

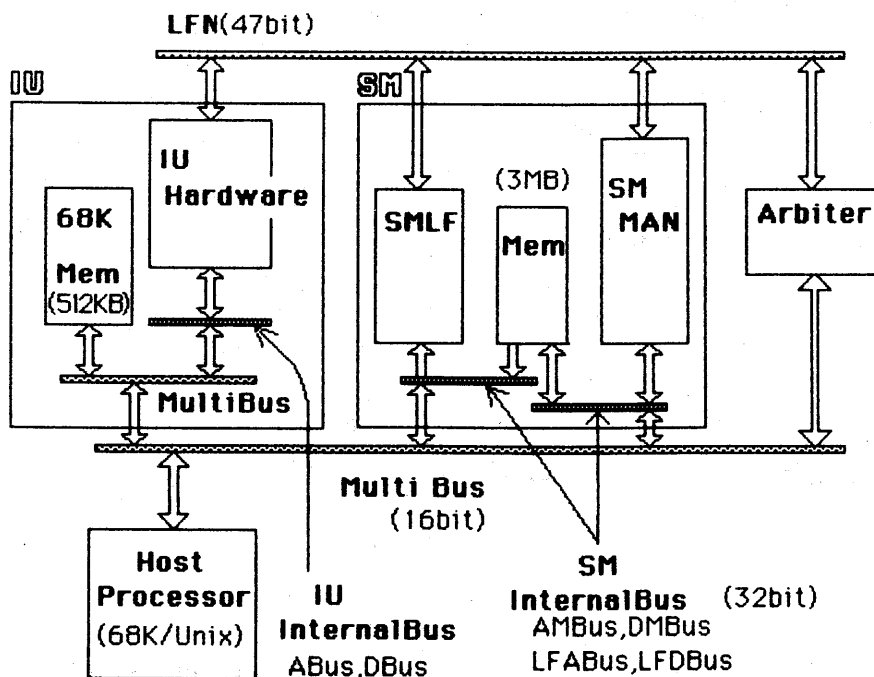


Fig. 1 Simulator Hardware

< 文献 >

[1] Moto-oka et al, "The Architecture of A Parallel Inference Engine - PIE -", FGCS84, ICOT.

[2] 平田他, "高並列推論エンジンPIEにおける構造データの効率的な処理方式について", 信学技法, EC 83-38.

[3] 平田他, "PIEにおける構造メモリの構成について", 情報学会, アーキテクチャワークショップインジャパン'84.

[4] 猪股他, "PIEの構造メモリ試作ハードウェア~推論ユニット~", 本大会, 1R-2

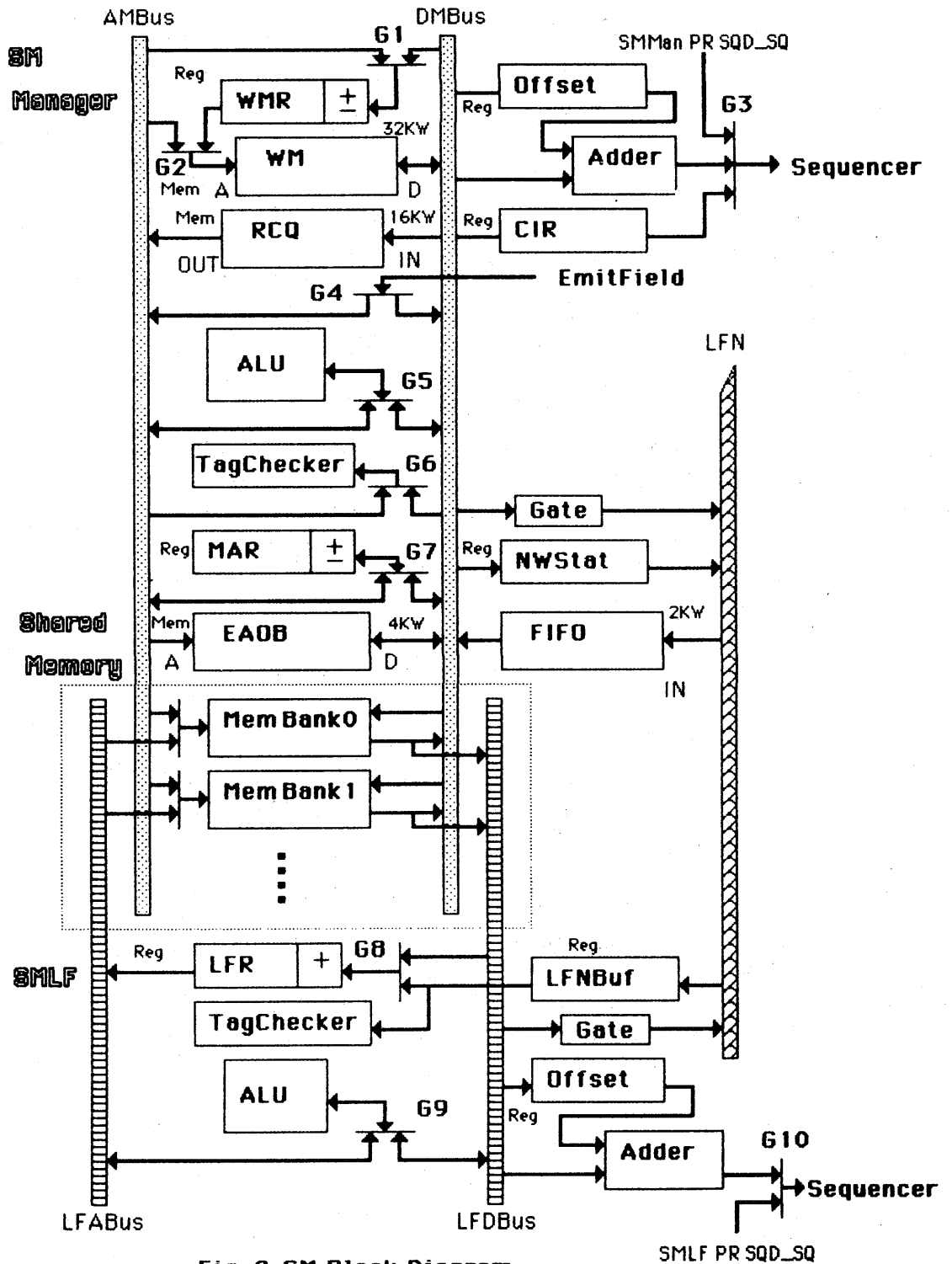


Fig. 2 SM Block Diagram