

高並列推論エンジン実験環境PIEEEの

5B-5

小池汎平, 山内 宗, 田中英彦
(東大 工学部)

1. はじめに

高並列推論エンジンPIE [1]は、ゴール書き換えモデルに基づき、論理型言語を高並列に実行する。我々は、これまでに、PIEの各部のハードウェアの試作を重ねてきた [2] [3] [4]。しかし、これらは、1台のユニットでの単体性能評価を目的としたものであり、並列処理に対するPIEの評価は、ソフトウェアシミュレーションによるものに止まっていた。

現在我々は、専用ハードウェアにより構成された推論ユニット4台を、負荷分散適応型ネットワークで結合したPIEの並列処理向け実験環境PIEEE (Parallel Inference Engine Experimental Environment)の製作を進めている。PIEEEでは、ハードウェアによる並列処理の評価を行なうとともに、これまでに提案されてきた種々の高速化技法 [5] [6]の実験、システムプログラムなど実用化システムに向けての検討などを行なうことを目的としている。本稿では、PIEEEの概要について述べる。

2. PIIEEEの目的

これまでに我々は、

- ①単一化プロセッサ(専用ハードウェア)
- ②推論ユニット各部(マイクロプロセッサによるハードウェアシミュレータ)
- ③構造メモリ(専用ハードウェア)

の、PIEの各ユニットの試作を行ない [2] [3] [4]、評価を進めてきた [7] [8]。しかし、これらはいずれもユニットを1台試作しての評価に止まっており、実際に並列に動作させたときのPIEの挙動については、ソフトウェアシミュレーションによる評価がなされているのみである [9]。PIEEE構築の第一の目的は、これまでの試作により実績を積んだ専用ハードウェアを複数台用意し、これらをネットワークにより結合して、「本当の」並列計算機を実際に製作することによって、並列処理の感触をつかむことである。

一方、試作してきたハードウェアの評価により種々の問題点が明らかになり、これらを解決するために、パイプライン・ゴール書き換え方式 [5]、ゴール切り分け

方式 [6]などの種々の技法が、ハードウェアの試作と並行して進められてきた研究の成果として得られている。これら最新の研究成果を取り込み、実際にハードウェアに組み込んで、その有効性を実証することがPIEEE構築のもう一つの目的である。

また、システムプログラムや入出力の取り扱いなど、並列計算機をコンピュータシステムとして利用する場合に考えなければならない問題点を検討するためのテストベッドとして、PIEEEを利用することも考えている。これらの検討を進めるにあたってのテストケースとして利用する応用プログラムのプロトタイプの開発が進んでいる [10]。

このように、PIEEEは、本格的なPIEのプロトタイプを試作するに先立って、数々の予備実験を行なうためのものである。

3. PIIEEEによる実験項目

PIEEEを用いて、次に示すような各種の実験を行なうことを計画している。

- ①パイプライン・ゴール書き換え方式
- ②ゴール・マルチキャスト方式
- ③ゴール切り分け方式

これらは、いずれも、PIEの高速化技法である。

①は縮退処理と次の単一化処理を並列に行なうものであり、②は複数の定義節を用いた単一化・縮退を並列に行なうものである [5]。これらは、共に、従来方式に比べより多くの並列度を取り出し、プロセッシングパワーの振り分けの範囲を拡大することによって、処理時間の短縮を図るものである。

③は、従来、完全にコピーしていたゴールフレームの一部を共有し、共有データに対するアクセス衝突によるオーバーヘッドの増大を招くことなしに処理量の減少を図ることによって、コピーと共有の最良点を見付けるものである [6]。

- ④ネットワークによる自動負荷分散

これは、負荷最小のプロセッサへの経路を自動的に設定して負荷の転送を行なう負荷分散適応型ネットワーク [11]を用いて、各プロセッサの負荷を均等に保たせ

(2) 1MビットDRAM・ICと両面実装のメモリカードによる主記憶部の高集積化

マシンの利用環境

- (1) バックエンド型のマシン構成を採用している小型化版CHIはマルチウィンドウを実現しているホストマシンでは1つのウィンドウとして認識される。これは遠隔手続き呼出しによるホスト-小型化版CHI通信によって実現しており、ネットワークには、同一の方式で結合可能である。
- (2) Prolog言語のサポートを基本にし、システムプログラム構築に利用されるマルチプロセス機能、多重名前空間を導入したプログラミング言語を提供する。
- (3) プロセスのアドレス空間としては十分であると考えられる4G語をサポートする。アドレッシングは、データ、機械語命令共に語(40ビット)を基本にしているので語単位である。

4. システム構成

図1にシステム構成を示す。小型化版CHIはI/Oインタフェースを介してホストプロセッサと通信する。通信データはDMA転送で主記憶部との間で授受される。プロセッサ部と主記憶とのデータ転送はコピーバック方式で制御されるキャッシュメモリを介して行う。キャッシュメモリ容量としては比較的大規模な32K語を備え、キャッシュメモリを含むプロセッサ部の独立性を高め、プロセッサ部での処理効率を向上させる。プロセッサ部ではProlog言語処理の高速化には必須であるユニフィケーション処理、スタック操作処理をハードウェアで支援する。

ホストプロセッサでは、物理的なI/Oに関する全ての制御を行うと共に、利用者および小型化版CHI側からのI/O要求を調整するプロセスが存在する。小型化版CHIのプロセッサにおいては、セルフコンパイラ、インタプリタ、主記憶管理などの処理を

実現する。さらに仮想的なI/Oの処理をプロセッサ部で実現する。

5. 評価

マシンサイクルは170nsとして設計を進めている。これに基づく'append'プログラムの実行性能予測は310KLIPSである。遅延分岐などの導入を図れば、さらに性能を向上させることができる。

6. 今後の課題

マシン利用環境の優れたシステムにするためには、マシンの開発過程および応用プログラムの開発を通して、マンマシンインタフェース、プログラム管理、システム管理の諸機能を改良、拡充する必要がある。優れた利用環境実現の一環として、ICOTで開発されたPSIとの結合を図り、ESPトランスレータを開発してPSI上のESPプログラムをCHI上で処理可能にする予定である。他言語インタフェース、データベースとの結合、ネットワークとの結合に関してホストプロセッサとの機能分担を含めた実現方式の確立が、今後の課題である。日々進歩しているLSI技術により一層の小型化が可能であり、1カード化、1チップ化を目指したマシン構成の研究も必要である。

- [1] R.NAKAZAKI, et al: Design of a High-Speed Prolog Machine(HPM), 12th Annual International Symposium on Computer Architecture '85, pp.191-197
- [2] 梅村 謙他: 逐次型推論マシンCHIの性能評価、情報処理学会第33回全国大会論文集 1986 (本稿)
- [3] S.Uchida, et al: Sequential Machine: SIM Progress Report, Proc. of the International Computer System '84, pp.58-69
- [4] 小長谷明彦他: 逐次型推論マシンCHI小型化版のアーキテクチャ、情報処理学会第33回全国大会論文集 1986 (本稿)
- [5] 幅田伸一他: 逐次型推論マシンCHI小型化版のハードウェア、情報処理学会第33回全国大会論文集 1986 (本稿)

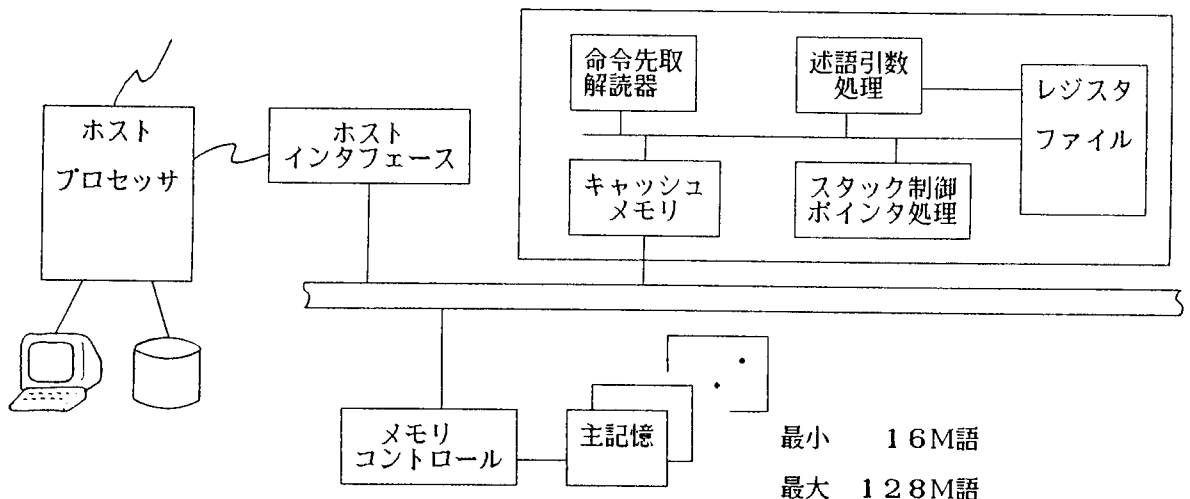


図1 システム構成