

PIEにおけるゴール分配方式

2C-8

小池 汎平 , 坂井 修一 , 田中 英彦 , 元岡 達

(東京大学 工学部)

1. はじめに

高並列推論エンジンPIE [1] は、論理型言語をゴール書き換えモデルに基づいて処理し、ゴール間の独立性を高めることによって、OR並列処理におけるオーバーヘッドを最小限にとどめることをねらいとしている。PIE上で実行される応用プログラムとして、高いOR並列度を持つものが考えられるが、プロセッサ台数が多い(数100~数1000台以上)場合、プログラム投入後、全プロセッサへ負荷が分配され、プログラムの並列性が十分引き出されるまでに、長い時間を要するおそれがある。

本報告では、ゴール書き換え処理をパイプライン化すること、及び、1つのゴールフレーム(GF)を複数の単一化プロセッサ(UP)にマルチキャストし、異なる定義節テンプレート(DT)によるゴール書き換えを各UPで並列に行うことにより、ゴールの独立性を高く保ちつつ、高速に負荷の分散を行なう手法を検討する。シミュレーションでは、OR並列度の高い問題において、これらの方式によって短時間で多数のプロセッサを稼動状態にでき、処理時間を短縮できることが確認された。

2. PIEの負荷分散網

PIEの負荷分散網(DN)として、現在開発を進めている動的負荷分散機構を付加したSU [2] を構成要素とする多段結合網を用いる予定である。このSUは、

①空いている経路を逆向きに流れる行き先プロセッサの負荷情報を用いて、閉塞なしに到着可能なプロセッサのうち負荷最小のものへの経路を自動的に設定する。

②負荷の複数のプロセッサへのマルチキャストをサポートする。

等の特徴がある。①により、負荷分散における高いスループットと負荷分散の均等さが同時に得られることが、シミュレーションにより確認されている [2]。

3. ゴール書き換え処理のパイプライン化

前回 [3] 報告したように、GFの縮退処理とオ

ーバップして、生成されつつあるGFに対する次の単一化処理を始めることにより、1回のゴール書き換え処理による遅延を単一化の処理時間程度に抑えることができ、負荷の高速な分配が実現できる。また、すべてのDTとの単一化に失敗した場合、不要となったGFを生成しつつある前段のUPの縮退処理をその時点で打ち切らせ、無駄な処理を防ぐことが可能となる。

4. ゴールフレームのマルチキャスト

これまで、1つのGFに対する複数のDTとの書き換え処理は1台のUPで逐次処理されるものとしてきた(図1-a)。しかし、GFを複数台のUPにマルチキャストし、異なるDTとの単一化・縮退処理を並列に処理することが可能である。この場合、マルチキャストするUPの台数を決定するために、GFの送出前にDTの絞り込みを行ない、単一化に成功する可能性のあるDTの数を知る必要がある。また、GFのヘッダ部には、DTを何番目のものからいくつおきに用いるかの情報を個別に与える(図1-b)。

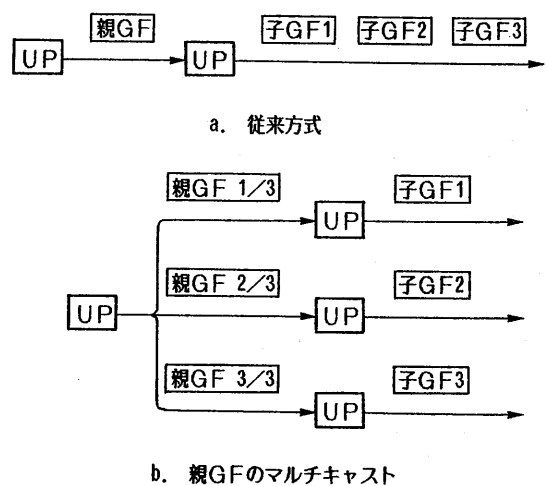


図1 ゴールフレームのマルチキャスト

5. シミュレーション

以上で述べた方式の効果を見る目的で、シミュレ

ーションを行なった。シミュレーションモデルとしては、試作UP [4]と同程度のマイクロ命令セットを持ち、パイプライン及びマルチキャストの機能を持ったUP (台数無限大)を、マルチキャスト通信の可能な閉塞と遅延のない結合網で相互接続したモデルを想定している。先に述べたSUにより、このような結合網が実現できる。評価用プログラムとして、パタン・マッチングを利用した8クインの全解探索プログラム8Qa [5]を用いた。このプログラムは、1回のパタン・マッチングの処理が比較的複雑である、静的OR並列度が高い(8)等の特徴を持つ。

①パイプラインもマルチキャストも行わない、②パイプラインのみ行う、③マルチキャスト(最大2台へ)も行う、の3つの場合の稼働プロセッサ数の時間変化のグラフを図2にあげる。図2より、パイプライン及びマルチキャストを行なうことで、稼働プロセッサ数の立ち上がりが高速化され、処理時間が短縮されることがわかる。

6. おわりに

本報告では、ゴール書き換え処理のパイプライン化とゴールフレームの複数プロセッサへのマルチキャストにより、OR並列度の高い問題について、高速な負荷分散が可能であることを示した。

今後の課題として、

- ・SUの動作を考慮した、より詳細なシミュレーション、
 - ・負荷が全プロセッサに分配し尽くされ飽和状態になった後の動作の検討、
 - ・より多くの応用プログラムについての本方式の有効性の確認、
- などが挙げられる。

《参考文献》

- [1] Moto-oka et al. "The Architecture of A Parallel Inference Engine -PIE-" Proc. of the International Conference on FGCS' 84, pp.479-488, Sept. 1984.
- [2] 坂井 他, "動的負荷分散を行う相互結合網" 信学技報, 1985年8月.
- [3] 小池 他, "PIEの単一化プロセッサのパイプライン接続について", 第30回情報大全, 2C-8, 1985.
- [4] Yuhara et al. "A Unify Processor Pilot Machine for PIE", Proc. of the Logic Programming Conference '84, 7-2, Tokyo, March 1984.
- [5] 小池 他, "PIEの試作UPの性能評価", 第29回情報大全, 2B-6, 1984.

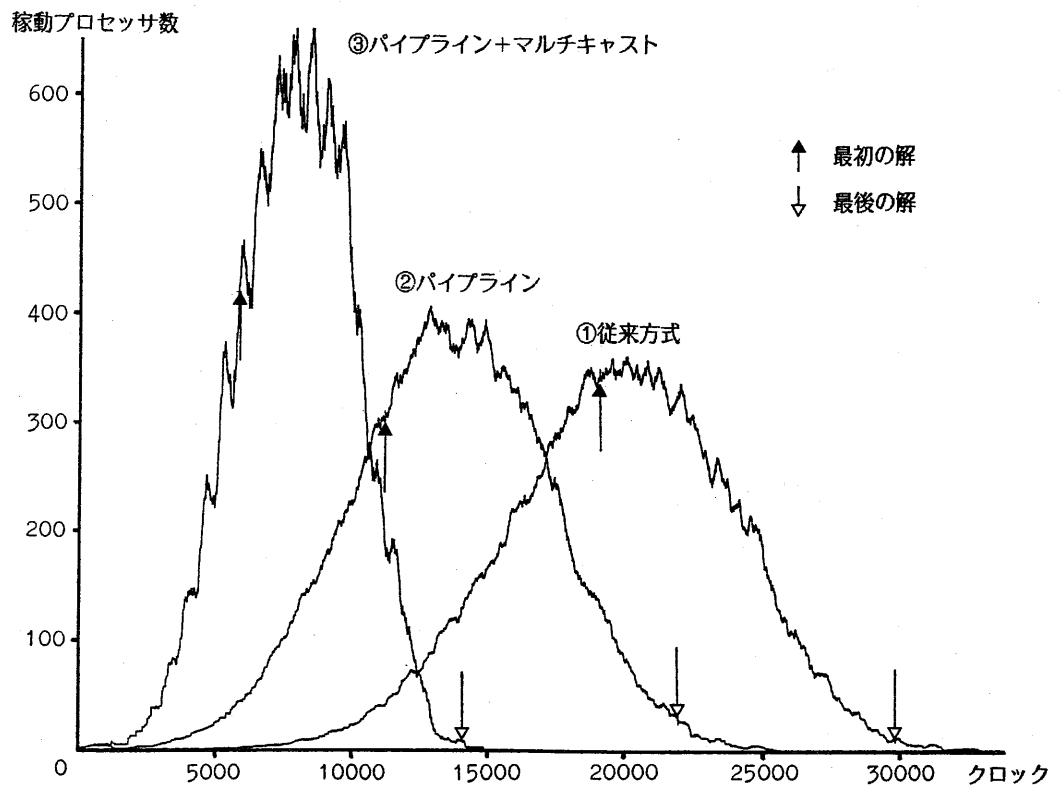


図2 稼働プロセッサ数