

PIEの階層的構成についての

2C-5

シミュレーション評価

丸山 勉, 坂井 修一, 相田 仁, 田中英彦, 元岡 達

(東京大学 工学部)

1. はじめに

現在、高並列推論エンジンPIEのレベル-Iシステム^[1]についてのシミュレーション評価を行なっている。本稿では、レベル-Iシステムのシミュレーションモデルについて述べる。

2. レベル-Iシステム

レベル-Iシステムは、16台程度の推論ユニット(IU)から構成され、レベル-Iシステム内では、ground instanceは構造メモリ(SM)に格納されグローバルフレーム(GF)内で共有される。レベル-Iシステムには、次の4つのネットワークがある。

(1) 分配網(DN)

GFおよび定義節(DT)の転送に用いられる。オメガ網を想定している。

(2) コマンド網(CN)

アリティビティコントローラ(AC)向でのコマンドの転送を行なう。バスを想定している。

(3) 追加読み出し網(LFM)

構造データの追加読み出しおよびSMへの格納に用いられる。バスを考えている。

(4) アドレス転送網(AM)

SMの空きアドレスをIUに分配する。リング型のネットワークを考えている。

これらについては、[2]を参照されたい。

3. 推論ユニット

以下推論ユニットのシミュレーションモデルについて述べる。以下に示す図において*印の付いているものが、

シミュレータ上でのプロセスである。また各プロセス間には適当な大きさのバッファが必要に応じて用いられているがここでは省略されている。

3.1 定義節メモリ(OM)

定義節メモリのモデルを図1に示す。定義節メモリは、単一化プロセッサから述語名と引数に属するある程度の情報を受け取ってそれに合致する定義節を送り返す。

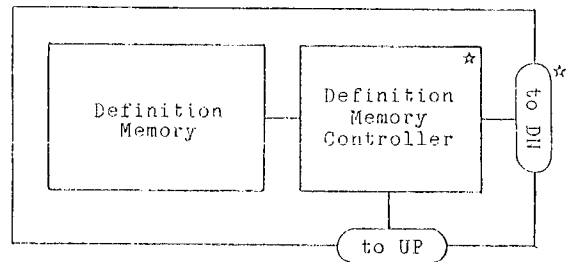


図1. 定義節メモリ

3.2 単一化プロセッサ(UP)

単一化プロセッサの中心部分は、単一化装置(unifier)、システム述語処理装置(system predicate processor)および縮退装置(reducer)である。単一化装置や縮退装置を1台の単一化プロセッサ中に何台備えたらよいかは、検討すべき課題である。これらを複数台置くことによって処理の高速化が期待されるが、制御が複雑になる。縮退装置のみを2台にしたモデルを図2に示す。縮退操作は単一化に比べて時間がかかるが、制御の複雑化を考えると2台程度が適当であると思われる。ローカルメモリは、GF用、DT用および出力バッファ用に分けられ、単一化装置と縮退装置に1バンクずつ必要なほか、メモリモジュールや分配網との同期を

るためにさらにバランリが必要である。バランリスイッチによりこれらのメモリを切り換えて、単一化装置と縮退装置の間で、データの受け渡しを行なう。図2では、単一化装置が定義節の絞り込みに必要な情報をDMに渡ししているが、そのためにプロセッサを用意し、それを並列に実行するモデルについても検討中である。

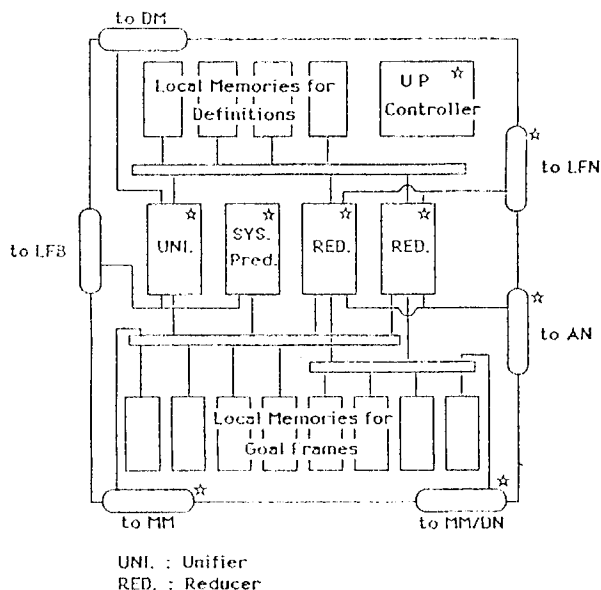


図2. 単一化プロセッサ

3.3 メモリモジュール(MM)

メモリモジュールのモデルを図3に示す。コントローラは、単一化プロセッサおよび分配網からゴールフレームが送られてきた際、それをメモリに格納するとともにヘッダ部から必要な情報を抜き出して、アクティビティコントローラに送る。またそれに対するアクティビティコントローラからの指示に応じてゴールフレームの管理を行なう。

3.4 アクティビティコントローラ(AC)

アクティビティコントローラは、メモリモジュールから送られてくるゴールフレームの情報に応じて、推論木のノードを作る。またANより到着するコ

マンドに応じて推論木の管理を行なう。図4に示したモデルでは、推論木の管理を行なう部分とコマンドの処理を行なう部分が別のプロセスになっているが、現在までのシミュレーション結果によれば、一台のプロセッサで十分であると考えられる。

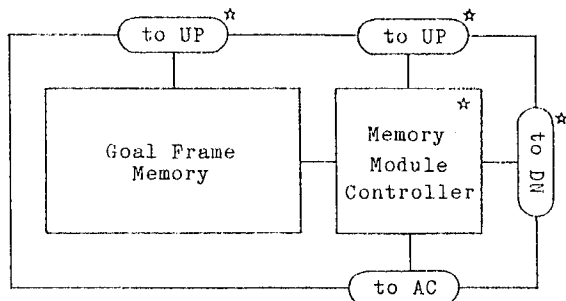


図3. メモリモジュール

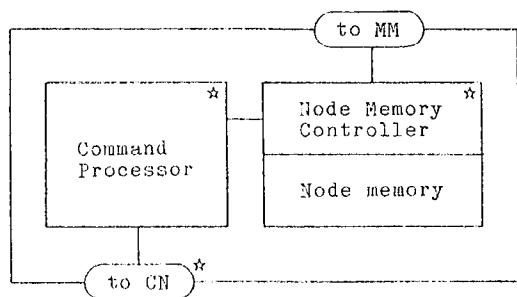


図4. アクティビティコントローラ

4. おわりに

現在、上記のモデルについてシミュレーション評価を行っており、その結果にもとづいて、構造メモリ等の構成について評価検討を行なう予定である。

参考文献

[1] 元岡 他「The Architecture of A Parallel Inference Engine - PIE」
 [2] 坂井 他「PIEにおけるモジュール間結合網の構成」 本大会 2C-6