

Length Tuning機構を有する
ハードウェア・マージソータの設計

1D-8

楊 維康[†] 鈴木 史朗[†] 林 隆史[†]
喜連川 優^{††} 田中 英彦[†] 元岡 達[†]

[†] 東京大学工学部 ^{††} 東京大学生産技術研究所

1. はじめに

ハードウェアソータは現在までにいくつか提案、試作が行われているが、そのいずれもレコード長などの変化に対する柔軟性に欠けている。我々は従来開発を行ってきたパイプラインマージソータにいくつかの機能拡張を行い、レコード長、ストリーム長などの変化に対して柔軟に対処可能なハードウェアソータの改良版を試作している。本ソータはデータベース・マシンGRACEの処理モジュールに於て、ソートユニットとして用いられる。本稿ではその制御方式、拡張機能の実現方式等について報告する。

2. ソートプロセッサの内部構成と基本動作

本ソータは一次元状に結合されたn台のソートプロセッサからなり、第i番目のプロセッサには 2^{i-1} レコード分のメモリが付加される〔1〕。プロセッサの内部リソースと構成を図1に示す。各レジスタの意味と機能は次のとおりである。

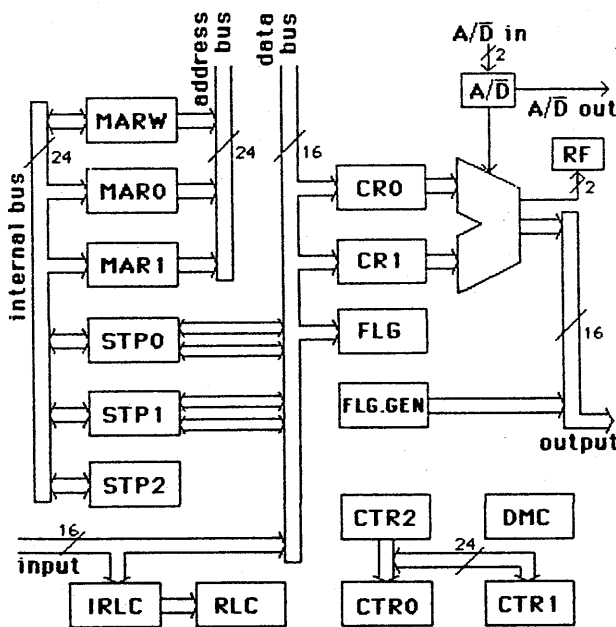


図1. ソートプロセッサの内部構成

- MAR_i (i=0, 1) : ストリングiのデータの読み出しアドレス<24ビット>
- MARW : メモリにロードするための書込みアドレス<24ビット>
- STP_i (i=0, 1, 2) : ストリングiの先頭レ

コードに指すポイント<24ビット>

- RLC : レコード長カウンタ<16ビット>
- IRLC : レコード長の保持<16ビット>
- CR_i : 比較するデータの保持<16ビット>
- FLG : フラグの保持<3ビット>
- FLG.GEN. : Flag Generator
- RF : 比較の結果を示すフラグ<2ビット>
- CTR_i : メモリに存在しているストリングiのレコード数カウンタ<24ビット>
- DMC : ダイナミック・マージ制御用の出力ストリング数カウンタ<24ビット>
- A/D : 昇順, 降順の指示

ソートプロセッサはワード単位(1ワード=2バイト)でデータ処理を行う。1ワードに対する処理の基本動作は3クロックからなり、ソートプロセッサ相互はワードレベルのパイプラインで結合されている(図2)。クロックR0, R1でメモリあるいは入力ポートからストリング0, 1の各1ワードをCRO, CR1にロードし、クロックWに於て比較器の結果により1ワードを出力し、また必要に応じて入力側からの1ワードをメモリに書き込む。

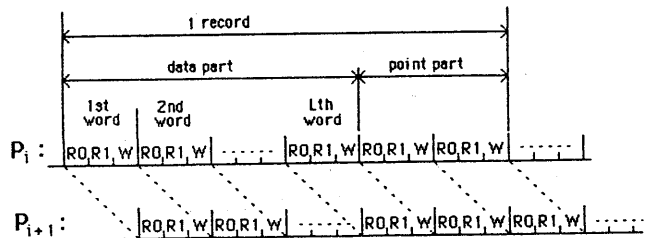


図2. パイプライン処理

3. プロセッサの制御方式

プロセッサは水平型マイクロ命令によって制御される。図3に示す様に、マイクロ命令のフェッチと実行は2段のパイプラインになっている。一般にこのようなパイプライン構成ではi番目のマイクロ命令アドレスはi-2番目以

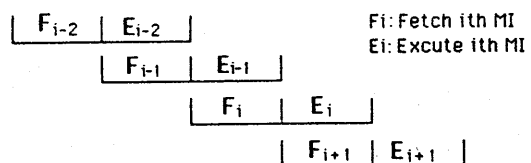


図3. マイクロ命令レベルのパイプライン

前のマイクロ命令の実行結果により決められる。一方、アルゴリズム上、直前のマイクロ命令の実行結果により分岐を行う場合も存在する。我々は乱れない完全パイプラインの実現を目指しており、この様な場合に対しては、内部ステータスでマイクロ命令を修飾する技法を利用した。この構成ではCS (Control Store) としてデータメモリと同一のアクセス性能のものを使用することが可能であり、将来VLSIの1チップ化に有利と考えられる。

4. フラグによる拡張機能の制御

後述する今回実装された各拡張機能は、入力レコードの先頭に種々の情報を示すフラグを付けることによって実現されている。入力されるデータストリーム中の各レコードはレコード本体と2ワードのポインタ部からなる。ポインタ部はプロセッサの内部ではLinked Listを形成する為に用いられる。一方、プロセッサ間では、ポインタ部の最下位バイトにフラグを付加し、種々の制御情報を次段のプロセッサへと送出する。プロセッサの制御系は入力ストリームのフラグを監視して、内部の処理を制御する。現在使われているフラグは6種類あり、それぞれの記号、意味と対応する制御は以下の通りである。

SOS (Start of String) : ストリングとストリングの境界を示す。プロセッサはこれを検出すると当該ストリングのメモリへのロード、あるいは既にロードされたストリングとのマージを開始する。

LS (Last String) : ストリームバイパス機構等の拡張機能〔2, 3〕の実装には、ストリーム中の最終ストリングをプロセッサが認識する必要がある。本フラグはこの為に用いられ、最終ストリングの先頭レコードに付加される。

EOS (End Of Stream) : 入力ストリームの終了を示す。プロセッサはこれを検出すると、メモリ内に残存するレコードを出力して、ソート動作を終了する。

NMP (No Merge Pair) : Length Tuning 時初段のプロセッサではマージを行わないレコードが存在する。プロセッサはNMPを検出するとこのレコードにSOSを付けてバイパスする。

DR (Dummy Record) : Length Tuning を行う時、出力ストリング間に1レコード分の空き(ダミーレコード)が生じることがある。このダミーレコードを識別するために付加される。

SBP (Stream Bypass) : このフラグ以後、LSが入力されるまでのレコードをバイパスする。複数のソータを結合時につかわれる。

5. Length Tuning 機構の実装

Length Tuning とはソートするデータのレコード長がソートユニットの設計レコード長より大きい場合、ソートユ

ニット全体のメモリ利用率を上げ、より多くのレコードをソートする機構である〔2〕。本機構はソータの駆動系が入力ストリームの各レコードにSOS、あるいはNMPフラグを適宜付加し、ソートプロセッサがそれを検出し必要な処理を行うことにより実現される。Length Tuning を行う場合、初段のプロセッサはNMPフラグを持つレコードをバイパスするため、後段の各プロセッサに対しては1レコード分の長さが違うストリングが入力されることになる。従ってプロセッサがある時点で1レコード分長いストリングをメモリにロードしなければならない場合がある。ソートプロセッサは最初のストリングをロードしながらメモリにレコードのLinked list を形成し、この構造を基に以降のメモリ管理を行う為、前述の余分の1レコードの領域を予め確保する必要がある。この操作が必要となるプロセッサは予め計算可能である為、ここではこの様なプロセッサに対し、メモリの0番地から1レコード分の領域の確保を指示しておく方式を考えた。実装にあたっては、データ入力に先立って、初期化データとしてこの領域の確保を指示するビットパターンを入力する。ビットパターンは16ビットからなり、ビットの配列順が初段からの各プロセッサに対応している。各プロセッサはこの初期化データの最下位ビットで領域の確保の要不要を判断し、このデータを1ビット右シフトして後段へと伝送する。レコードの領域確保を指示されたプロセッサは各アドレスレジスタの初期値をレコード長としてLinked List を形成する。上記1レコードの領域は0番地に確保されることになる。

6. 結び

本ソータはLength Tuning 機構の他、ダイナミックマージ〔3〕、ストリングバイパス〔2〕等の機能を有している。我々は現在本ソータの実装を進めている。

<参考文献>

- (1) 桑原他 GRACEに於けるソーティングユニットの構成
情報処理学会第24回全国大会 4G-5 1982
- (2) 伏見他 GRACEに於けるソーティングユニットの機能拡張
情報処理学会第24回全国大会 4G-4 1982
- (3) 林他 パイプラインマージソートアルゴリズムの改良によるソート時間の短縮
情報処理学会第29回全国大会 3F-8 1984