

パイプラインマージソートアルゴリズムの改良によるソート時間の短縮

3F-8

林 隆史[†] 伏見 信也[†] 喜連川 優^{††} 田中 英彦[†] 元岡 達[†]

([†] 東大工学部 ^{††} 東大生産技術研究所)

1. はじめに

優れたハードウェアソートアルゴリズムの1つとしてパイプラインマージソートがあるが、パイプラインマージソートではストリーム入力終了後ソートされたストリームが出力されるまでの遅延が生ずる。

本論文ではこのような遅延を最悪値・平均値共に50%以下に短縮する手法を提案する。以後DM (Dynamic Merge) 法と呼ぶこの方法では、入力ストリーム長がソートに先立って判明していない場合において、最終ストリングが入力された時点で、プロセッサ内のマージペアを動的に変化させることによって遅延を改善することができる。

2. パイプラインマージソートにおける遅延

パイプラインマージソートはマージソートを行うプロセッサを1次元状にパイプライン結合した構成をとるパイプラインマージソートによって実現される。

パイプラインマージソートにおける遅延としては次の2つのものが考えられる。

- ① 各段のプロセッサによる遅延
- ② 入力レコード数(ストリーム長)と設計レコード数の不整合による遅延

①は入力レコード数Nに対して $\log N \cdot (\text{cycle time})$ であり、入力ストリーム長に対して無視し得るため、ここでは②について考える。

まず、最終レコードの入力後何レコード分遅れて最終ストリングが出力されるかを遅延として考えることとする。

ここで、 2^n 個のレコードをソートして出力するまでには $2^n - 1$ 個のレコード分の時間を要する。これより $N = 2^n + a$ ($1 \leq a \leq 2^n$) 個のレコードをソートし出力を開始するまでには $2^{n+1} - 1$ の時間が必要である。また最終レコードは $2^n + a - 1$ の時点で到着するので遅延は $2^n - a$ となる。これより $N = 2^n + 1$ のとき遅延は最悪値 $2^n - 1$ となり、入力ストリーム長に対して無視できない (Fig. 1)。

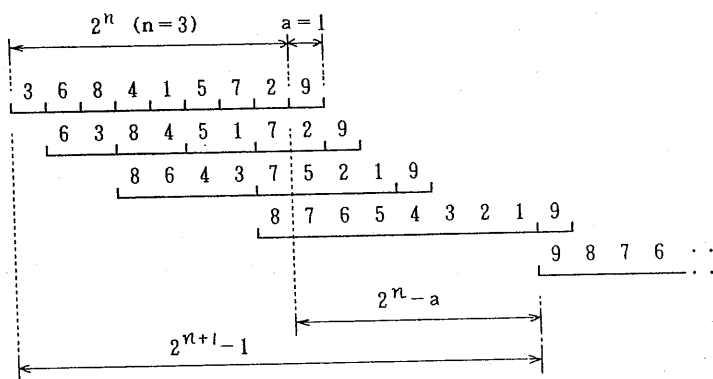


Fig. 1 Delay of Pipeline Merge Sort

Nがあらかじめ判明している場合、マージペアの作り方を計算し、最適なマージを行うことが可能であるが、一般にはNが判明しているとはかぎらず、最終ストリングの到着によってストリームの終了が判明することになる。従って、最終ストリングの到着後になんらかの制御を行って遅延の減少を図る必要がある。

3. DMアルゴリズム

まず、i番目のプロセッサPiにおけるストリング数Niが $2n + 1$ ($1 \leq n$) であるときについて考える。このとき各ストリング $S_{i,j}$ ($1 \leq j \leq N_i$) の長さを $l_{i,j}$ で表す。 $l_{i,j}$ に対して次の式が成立する。

$$l_{i,j} \quad (1 \leq j \leq N_i - 1) = l_{i,1} = 2 \quad \dots (1)$$

このとき最終ストリング S_{i,N_i} はマージペアを持たないので、Piにおける遅延は $l_{i,1}$ となる。 S_{i,N_i} がPiに到着した瞬間には、Piにはマージ中の2つの部分ストリング $S'_{i,0}$ と $S'_{i,1}$ (各長さ $l'_{i,0}$, $l'_{i,1}$) が存在し、

$$l'_{i,0} + l'_{i,1} = l_{i,2n-1} \quad \dots (2)$$

が成立する。ここで、既に $S_{i+1,n}$ の先頭として出力されている部分ストリング (長さ $l_{i,2n}$) と $S'_{i,0}$, $S'_{i,1}$

はソート順が保たれており、もし $l'_{i,0} \leq l'_{i,1}$ ならば $S'_{i,0}$ を、 $l'_{i,0} > l'_{i,1}$ ならば $S'_{i,1}$ を $S_{i+1,n}$ の残りの部分ストリングとして出力して $S_{i+1,n}$ を構成する。ここでは $l'_{i,0} \leq l'_{i,1}$ として考える。さらに、 P_i に残った部分ストリング $S'_{i,1}$ とマージペアを持たない最終ストリング S_{i,N_i} をマージして次段への最終ストリング $S_{i+1,N_{i+1}}$ として送出す (Fig. 2)。このようにマージペアを持たない最終ストリングに対して動的にマージペアを生成して遅延を短縮する手法を Dynamic Merge とよぶ。

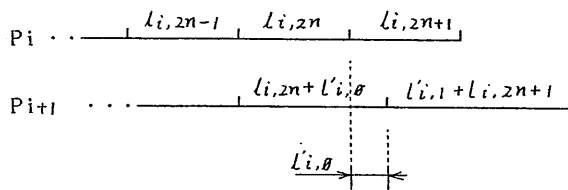


Fig. 2 Dynamic Merge Method

この処理によりプロセッサ P_i における遅延は $l'_{i,0}$ になる。また(2)式より、

$$0 \leq l'_{i,0} \leq L_i / 2 \quad \dots(3)$$

であるから、 P_i における平均遅延 \bar{d}_i は、

$$\bar{d}_i = L_i / 4 \quad \dots(4)$$

となる。

次に、 N_i が $2n$ ($2 \leq n$) であるとき S_{i,N_i} はマージペアをもつため上記の制御を行うことができない。このため、最終ストリングの出力は $S_{i,j}$ が到着した時点から常に、

$$l_{i,1} + \sum_{j=1}^{N_i-2} l_{i,j} \quad \dots(5)$$

だけ遅れることになる (Fig. 3)。

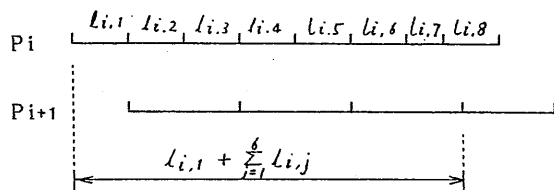


Fig. 3 Delay on P_i where $N_i = 2n$

従って $N_i = 2n$ となる i に対して $i' \leq i$ を満たす $P_{i'}$ で Dynamic Merge を行っても無駄となる。ここで、Dynamic Merge を $N_i = 2^n + 1$ となる P_i で行うこととすると、 $N_{i+1} = 2^{n-1} + 1$ であるから P_{i+1} でも Dynamic Merge が可能となる。従って Dynamic Merge は $N_i = 2^n + 1$ となる最初の P_i から行えばよいことになる (Fig. 4)。

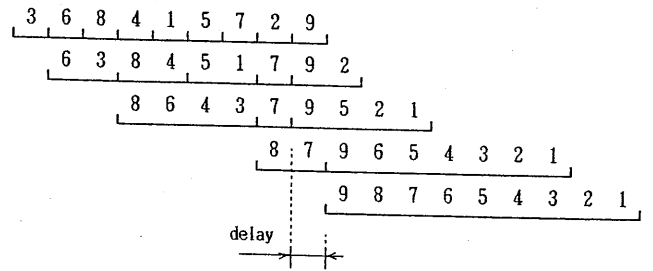


Fig. 4 Delay of Dynamic Merge Method

DM法によって $N_i = 2^n + a$ ($1 \leq a \leq 2^n$) の長さの入力ストリームに対する遅延は、最悪値で $2^{n-1} - 1$ 、平均値で $(2^{n-1} - 1) / 2$ となり、DM法を用いないパイプラインマージソートにくらべて最悪値・平均値共に50%以下に短縮される。

4. おわりに

パイプラインマージソートの遅延を短縮する手法としてDM法を示した。また、Dynamic Merge機能を有するプロセッサのレジスタトランスフェラレベルにおける設計・記述を行い、シミュレーションによってアルゴリズム及び制御の正当性を確認している。

《参考文献》

- (1) 喜連川, 伏見, 桑原, 田中, 元岡:
「パイプラインマージソートの構成」
電子通信学会論文誌, Vol. J66-D No. 3, 1983
- (2) 林, 喜連川, 伏見, 田中, 元岡:
「VLSIソータ第2版の設計」
情報処理学会第28回全国大会 4F-4, 1984