

PIEの階層的構成についての

シミュレーション

2B-5

丸山 勉, 相田 仁, 田中 英彦, 元岡 達

(東京大学 工学部)

田中 英彦, 元岡 達

1. はじめに

高並列推論エンジンPIEの並列度の評価[1]、アクティビティ制御方式[2]、および構造データの共有方式[3]のシミュレーション結果についてはすでに報告した。また、試作単一化プロセッサの作製、性能評価[4]について報告した。これらの結果に基づき、現在、PIEの階層的構成について検討中である[5]。本稿では、PIEの階層的構成について評価を行なうために作成中であるシミュレータについて述べる。

2. シミュレータの概要

シミュレータはC言語で記述されている。SIMULAにみられる疑似プロセスのコントロール機能をC言語から呼び出すことのできるアセンブラの関数として実現している。これによりプロセスのコンカレントなシミュレーションを容易に行なうことができる。シミュレーションに用いる計算機のメモリ上の制約により、同時にシミュレートすることができるプロセスの数は最大2000~2500程度である。このため、次の3種類のシミュレータを作成し、PIEの階層的構成について評価を行なうことにした。

① Inference Unit (IU) のシミュレータ

② level-1 システムのシミュレータ

③ level-2 以上のシステムのシミュレータ

①のIUのシミュレーションでは、IU内部の構成、および処理方式についての評価を行なう。

②のlevel-1 システムのシミュレーションでは、①で得たデータを基にして、構造メモリの構成の検討評価、各ネットワークの形状についての検討評価、およびlevel-1 システムの性能評価を行なう。

③のlevel-2 以上のシステムのシミュレーションでは、level-1システム間のゴールフレームの分配方法について検討評価を行なう予定である。

3. Inference Unit のシミュレータ

IUについては、現在試作IUの設計を行なっており[6]。来年度には構造データの共有を行なう単一化プロセッサを試作する予定である。IUのシミュレーションの目的は、IU内の各モジュールの構成および処理方式について評価検討を行なうことである。その中で主なものを以下に示す。

① 構造データを共有したときの単一化/縮退アルゴリズムの検討評価

現在評価を行なっている試作単一化プロセッサは構造データの共有を行なっていない。そこでシミュレーションを通して構造データを共有したときの単一化/縮退アルゴリズム(主として、構造データのlazy fetch、および構造データの切り分けアルゴリズム)の検討評価を行なう。

② unifier/reducer の台数についての評価検討

現在までのところ、unifier/reducer の台数がそれぞれ一台ずつのモデルのみについて検討を行なってきた。しかし、一般に単一化に比べて縮退のほうがかかるため、unifier/reducer をより効率的に使用するためには、一台のunifier に対して複数台のreducer を用意する、または複数組のunifier/reducer を置くなどの方法が考えられる。unifier/reducer の台数については、他のモジュールの性能とのバランスを考慮して決める必要があるので、シミュレーションを通して最適と思われる台数を決定する。

③ アクティビティ制御方式の評価検討

アクティビティ制御方式については、[2]で簡単な評価を行なったが、他にも幾つかの制御方式が考えられる。試作AC(Activity Controller) [6]における評価とともにシミュレーションによる評価によってアクティビティ制御方式についてさらに評価検討を行なう予定である。

#### 4. level-1システムのシミュレーション

level-1システムのシミュレーションの目的は、構造メモリの構成の評価、各ネットワークの形状決定とその評価、およびlevel-1システムの性能評価を行なうことである。以下それらについて述べる。尚、level-1システムのシミュレーションでは、IUのシミュレーションで用いたシミュレータをそのままIU部のシミュレータとして用いることはメモリの制約上困難であると考えられるので、IUのシミュレーションデータを基にしてIUのシミュレータを簡略化したものを用いることを考えている。

##### ①構造メモリの構成の検討評価

構造メモリについては、来年度試作を予定しており、構造データの共有方式および構造メモリの構成について現在検討中である[7]。構造データの共有方式によって構造メモリに要求される処理能力が大きく異なるため構造データの共有方式の検討と同時にシミュレーションによってその評価を行ない、構造メモリの試作に必要なデータを得る。

##### ②各ネットワークの構成の評価検討

level-1システムには、以下の3種のネットワークがある。

(1) Distribution Network

(2) Command Network

(3) Lazy Fetch Network

現在までのシミュレーション結果により、Distribution Networkは、高スループットを実現するためにオメガ網のような多段ネットワークによって、Command Network、およびLazy Fetch Networkについては低遅延を実現するためにバスによる実現を考えている。シミュレーションにより、これらのネットワークの構成の評価を行なう。

##### ③level-1システムにおけるIU台数

構造データの共有についてのシミュレーションより、level-1システム内のIU台数は16台程度が適当であると考えられる。しかし、この台数は、ネットワークのトラフィック等によって変更すべきであり、シミュレーションによって適当な台数について検討する。

##### ④level-1システムにおける負荷分散

現在までのシミュレーション結果により、問題解

的に変えることがよいと考えられる。シミュレーションを通してどのように負荷分散ストラテジを変えるべきか調べる。

##### ⑤level-1システムの性能評価

上記の事項について評価検討を行なった後、level-1システムにおいて実現される性能について評価を行なう。

#### 5. level-2以上のシステムのシミュレータ

level-2以上のシステムのシミュレータでは、使用計算機のメモリ上の制約によりlevel-1システムまでのシミュレータのように、論理型言語を実際に実行しつつデータを取ることは困難なので、level-1システムのシミュレーションにより得られたデータを基にして、主にlevel-1システム間における負荷分散について評価検討を行なう予定である。

#### 6. おわりに

高並列推論エンジンPIEの階層的構成についてのシミュレータについて述べた。今後、実際にシミュレーションを行ないハードウェア作成の目安としてゆく予定である。

##### <参考文献>

- [1] 丸山他, "PIEの並列度評価", 第28回情報処全大, 6F-10, 1984
- [2] 丸山他, "A Preliminary Evaluation of the Activity Control Mechanism in PIE", Logic Prog. Conf. ICOT 1984
- [3] 平田他, "PIEにおける構造データ処理方式の効率化~構造データの共有方式", 第28回情報処全大, 6F-9, 1984
- [4] 小池他, "PIEの試作UPの性能評価", 本大会, 2B-6
- [5] 相田他, "高並列推論エンジンPIEの階層的構成法", 本大会, 2B-4
- [6] 濱中他, "PIEのACの設計概容", 本大会, 2B-2
- [7] 平田他, "PIEにおける構造メモリの構