

高並列推論エンジンPIEの階層的構成法

2B-4

相田 仁、田中 英彦、元岡 達

(東京大学 工学部)

1. はじめに

論理型言語を高並列に実行する計算機PIEにおいて、変数を含まない構造データは構造メモリにおき、そこへのポインタのみを持ち運ぶことによりゴールフレームの大きさが小さくなり、数倍の性能向上が期待できることをすでに報告した[1]。そこで本稿では、PIEを階層的に構成し、構造メモリへのアクセスタイムを短くおさえる方式に関して報告する。

2. PIEにおける構造メモリ

PIEにおいて構造メモリを採用した場合、単一化の最中に構造データの実際の内容が必要となった場合には、単一化プロセッサから構造メモリに対し追加読み出し(Lazy Fetch)の要求が送られ、その返答が帰ってくるまで単一化処理は待たされることになる。一つの構造メモリと接続する単一化プロセッサの数が多くなるほどこのアクセスタイムは長くなり、その結果単一化に要する時間も長くなる。単一化処理をマルチタスク化して複数の定義節との単一化を切替えて行なうことも可能であるが、やはり基本的にアクセスタイムを短くおさえることが望ましい。

一方、構造メモリのデータ共有度に関する簡単なシミュレーション結果から、ある構造データを参照するゴールフレームの数は高々20個程度であることがわかっていて、そこでPIEに構造メモリを採用する場合には、十数台の単一化プロセッサあたり1台の構造メモリをおくのが適当と考えられる。

3. PIEの階層的構成法

ここでは1024台のプロセッサを2段の階層として結合する構成を例として述べる(図1参照)。

PIEは推論ユニット(Inference Unit: IU)を単位として構成される。推論ユニットはDM(Definition Memory)、UP(Unify Processor)、MM(Memory Module)、AC(Activity Controller)からなる。16台のIUに対して1台の構造メモリ(Structure Memory: SM)およびAM(Activity Manager)が割り当てられ、これらがネットワークで結合してlevel-1システムとなる。

このネットワークは3種類の性質の異なるネットワークからなる。

- Distribution Network (DN) はゴールや定義節等の大きなデータの転送に用いられる。1 IU当り $140 \mu s$ に 500B 程度の高いスループットが必要とされ、オメガ網のような多段スイッチによる実現を考えている。

- Command Network (CN) はAC間コマンド等を転送する。このネットワークでは1回の転送量は十数B程度であるが $2 \mu s$ 程度の低遅延が要求される。IU 16台で転送量は数MB/s位となり、バスによる実現を考えている。

- Lazy Fetch Network (LFN) は追加読み出しの構造データをSMからUPに転送する。CNと同様に低遅延が要求されるがアクセス頻度はおよそ4回/ms / IU、転送量は1回当り十数B~百B程度である。このネットワークもバスによる実現を考えている。

AMは、level-1システム内の全てのACの制御を行なうとともに、ゴールフレームをlevel-2ネットワークに送出する際に、構造データの寄せ集めなどを行なってlevel-1ネットワークとlevel-2ネットワークのインターフェースをつかさどる。

PIEの上位階層においては64台のlevel-1システムを結合してlevel-2システムが構成される。この階層においてはゴールフレームは全ての構造データを取り込んだ形で転送される。このためlevel-2ネットワークはDNとCNの二種類のみが存在しLFNはない。また、上位階層のAMは、1段下の階層のAMを管理する。最上位のAMはSystem Managerと呼ばれ、システム全体の管理も行なう。

4. IUの内部構成

IUの内部構成を図2に示す。

- DMはSMにおかれた定義節を高速にアクセスするためのバッファメモリである。

- UPはMMから送られてきたゴールフレームに対応する定義節をDMから取り込み、単一化の成功したものについて、新たなゴールフレームを作成して送り出す。

- LFBは追加読み出された構造データを蓄えて、同じ構造データの追加読み出しの重複を避ける。

- MMはゴールフレームを蓄えて、全体としてゴールプールを構成する。

・ACはそれぞれのIUに固有な関係木を生成、保持し、AC間の通信によりプログラムの実行を制御する。
 いくつかのIUは入出力ユニットとなる。入出力ユニットにおいてはUPがI/Oプロセッサにかわり、MMはチャンネルコントローラを通じて二次記憶、プリンター、ターミナル等の入出力装置と結ばれる。

5. おわりに

PIEにおいて、構造メモリを用いる場合にそのアクセス時間を抑えるため階層的に構成する方式に關し述べた。今後この構成につきシミュレーションをすすめてゆく。

<参考文献>

- [1] 平田他：「高並列推論エンジンPIEにおける構造データの効率的な処理方式について」、信学技報，EC83-38，1983年12月。

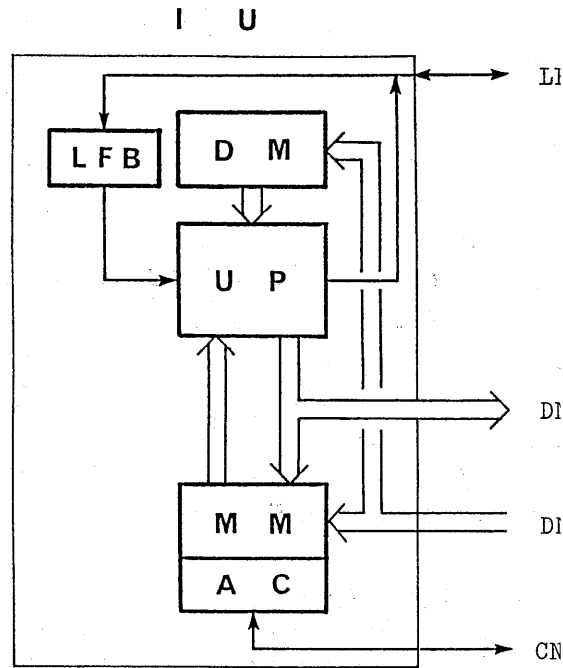


Fig.2 Inference Unit (IU)

