

プロセッサ間結合網に於ける

5N-1

スイッチング・ユニットの試作と評価

南 宏二 服部 泰明 坂井 修一 田中 英彦 元岡 達

(東京大学 工学部)

1. はじめに

今日のLSI技術の発達によって、高度に多重化されたプロセッサによる計算機の実現が可能となりつつある。この様な計算機を構成する際には、プロセッサ間の結合をいかに実現するかということは重大な問題である。今回は、スイッチング・ユニット(SU)を用いて結合網を構成する場合を考え、高速、大容量の結合網を想定し、分散制御型の拡張性に富むSUの試作を行ない、動作の確認、及び、ハードウェア量の評価を行なった。

2. SUを用いた結合網

今回想定した結合網は、分散制御されるものである。そこでSUを「 m 個の入力ポート (IP) と、 n 個の出力ポート (OP) 間でスイッチングを行なうもの」とし、各々独立に動作するSU多数を用いて結合網を構成することを考えた。この場合、各SUに同一のLSIを用いれば、LSI利用の利点を引き出すことができる。

この様なSUを用いることにより、多段結合網や格子型結合網等、種々の結合網を構成することが可能である。

3. 試作システムの特徴

(1) 結合網の仕様

- ・分散制御
- ・パケット交換

(2) SUの基本構成 (図1)

- ・IP内にFIFOバッファを持つ。(FIFO容量 256語)
- ・IPコントローラでルーティングを行なう。
- ・OPでアービトレーション、及び、スイッチングを行なう。
- ・各IP、及び、OP毎に制御が分散されている。
- ・各IP毎に内部バスをもつ。

(3) SUの基本動作

SUは、その中のFIFOを次段のFIFOに接続し、FIFO間でパケットのやりとりを行なうことを基本動作とした。

(4) SUの機能

SUには、最も基本的なスイッチング機能のみをもたせることを目指した。すなわち、プロセッサで発生したパケットをそのままの形で1個の目的プロセッサへ向けて転送する。

(5) 転送方式

パイプライン転送方式 [1]

(6) 転送制御

固定式ルーティング

(7) デッドロック対策

結合網によってはデッドロックの生じることが考えられるが、デッドロック・フリーなルーティング・アルゴリズムを想定して [1] 動的な検出、回復は今回は考えなかった。

(8) パケットのフォーマット

- ・可変長
- ・先頭1語がアドレス
- ・9bit幅で8bitがData、1bitがEOP (End of Packet) 信号

(9) その他

伝送はハンドシェイク式、また、全システムを同一の同期クロックで動作させる。

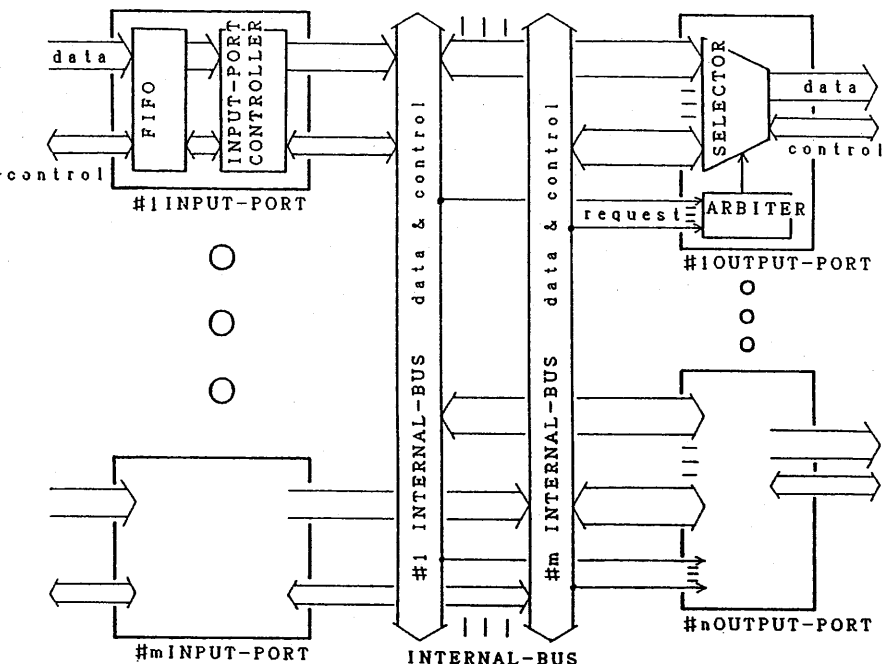


図1. SUの基本構成

4. 評価

4.1 転送性能の評価

試作したSUの転送性能を評価するために、次の3つの時間をクロック数で求めた。

<データ転送遅延>パケットの先頭がIPにやって来てからそのSUのOPから出るまでの最短時間; Dd

<パケット通過時間>パケットの先頭がIPにやって来てからそのSUのOPからパケットが出終わるまでの最短時間; Pp

<パケット転送時間>s 段のSUを經由してパケットが転送される最短時間; Pt (図2)

$$Dd = 5$$

$$Pp = 2p + 6 \quad (p ; \text{パケット長})$$

$$Pt = (s - 1) \times Dd + Pp \\ = 5s + 2p + 1$$

Pp の p の項の係数2は、今回用いたFIFOの性能による。すなわち、2クロックに1回書込み、あるいは、読出しを行なうためである。1クロックに1回書込み読出しできれば、この係数は1となる。

4.2 LSI化への検討

(1) ピン数 (図3)

m 入力 n 出力の場合

$$11 \times (m + n) + 4$$

(2) 内部配線数 (図4)

内部バス幅... $(11 + n) \times m$

内部バス - OP間接続線数
... $(11m + n) \times m$

(3) ハードウェア量

SSIとMSIを用いて、5入力5出力のSUを設計した結果、次の様であった。

	1ポート当り	5入力 5出力
IP;ゲート数	670ゲート	3350ゲート
" ; FIFO-RAM	2.25kbit	11.25kbit
OP;ゲート数	120ゲート	600ゲート

内部配線数は、ポート数の2乗オーダーなので、これがネックとなる可能性がある。しかし、例えば、5入力5出力程度では、充分LSI化が可能と思われる。

5. おわりに

試作したSUについて、動作の確認を行ない、転送性能の評価やLSI化への目安を与えることができた。このSUを5MHzのクロックで動作させると、転送速度2.5Mbyte/sec・ポート、1SU当りの遅延1μsを期待できる。例えば、1000ポートの結合網の場合、最大2.5Gbyte/secのスループットが期待でき、これを4×4のSUで多段結合網の構成にした時33語のパケットを最小20μs弱で転送できる。

転送速度はFIFOの性能に左右されるので、FIFOの高性能化は課題である。また、このSUを用いた大規模結合網の詳細な性能評価や、迂回問題、デッドロック対策、障害対策も今後の課題と思われる。

[参考文献]

- [1] 服部、他「プロセッサ間ネットワークにおけるスイッチングユニットの設計」第25回情報処全大 5F-2
- [2] 服部、他「プロセッサ間ネットワークの性能評価」第26回情報処全大 2N-4

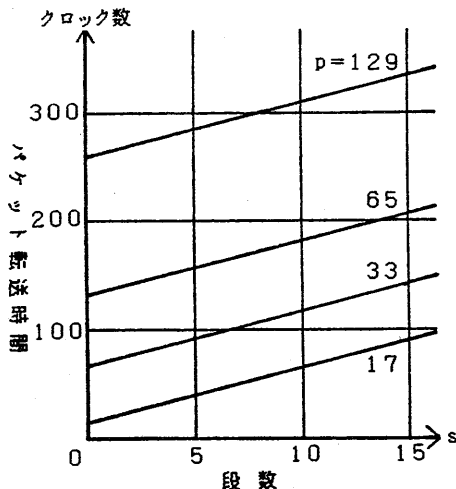


図2. パケット転送時間

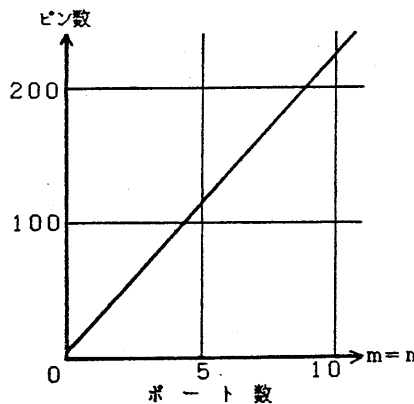


図3. ピン数

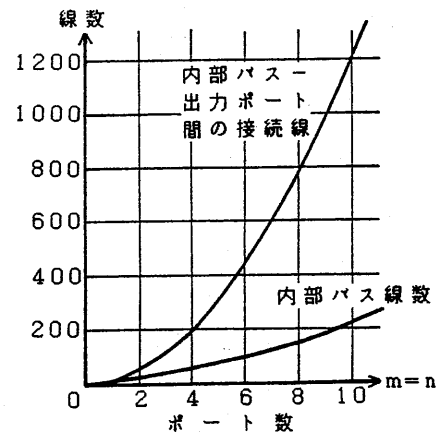


図4. 内部配線数