

高並列推論エンジンPIE

4P-12

～ 単一化プロセッサの構成 ～

湯原 雅信 , 相田 仁 , 後藤 厚宏 , 田中 英彦 , 元岡 達

(東京大学 工学部)

1. はじめに

高並列推論エンジンPIEの第一次モデルに基づいた単一化プロセッサ(UP) [1] の試作設計を進めている。ここでは、その構成について述べる。

2. 概要

UPの試作の目的は次の2つである。

- ① PIE第一次モデルの要素プロセッサとして要求される能力を実現できるUPの構成方法を探る。
- ② 単一化・縮退に適したハードウェアを検討する。

UPはゴールフレーム(GF)を1個受け取ると、単一化可能性の有るすべての定義節テンプレート(DT)を順次取り入れ、単一化を行なう。単一化が成功した場合は、縮退操作を行ない新しいGFを生成する。

複数の定義節テンプレートの同時並列処理や、各リテラル内の引数間並列処理については、今回の試作の結果によって導入の必要性を検討することにする。

また性能としては、TTLロジックを使用した場合に、GF1セル当たり数 μ sで単一化および縮退ができることを目標としている。

3. 特徴

UPの構成上の特徴は次のとおりである。

- ・ ゴール側と定義側の独立した内部バス
- ・ ハードウェアによる“変数のたぐり”
- ・ レジスタ(2個)の内容による多重分岐
- ・ インクリメント・デクリメント等の可能な特殊化されたレジスタ(ゴール側8個、定義側3個)
- ・ レジスタに付属し同時に push / pop されるハードウェアスタック3個
- ・ 高速なローカル・メモリ

4. 試作UPの内部構成

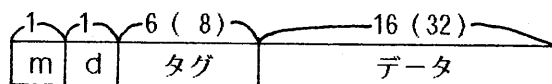
試作UPの主要部のブロック図を図1に示す。

UPのいくつかの機能のうち、組込述語の実行やGFの優先度スコアの計算は、試作部分の外側に設けるサービス・プロセッサが行なう。

4.1 バス

レジスタにつながる内部バスは4種ある。このうち、GC (Goal Cell) バス・DC (Def. Cell) バスが通常のセルの転送に用いられ、GA (Goal Address) バス・DA (Def. Address) バスはローカルメモリをアクセスする際の(論理)アドレスを与えるのに用いられる。

試作ではバス幅は、タグ6ビット、データ16ビット(本来はそれぞれ8ビットと32ビット)および、ポインタが定義側/ゴール側のいずれを指しているかを示すためのdビット、縮退時の印付けに用いるmビットの計24ビットである。



バスのビット構成

4.2 ローカルメモリ

ローカルメモリは、定義側/ゴール側に分れている。これは、次の理由による。

- ① 表1に示したように、単一化時のセルのfetch (変数のたぐり)において、ゴール側・定義側から、ローカルメモリに対して同時にアクセス要求することが少なくとも70%程度あり、そのうちアクセス競合が発生するのは通常1%以下にすぎない。
- ② 出力バッファを定義側に置くことにより、ゴール側の縮退時に、コピー元への書き込みと、新GFのセルの書き込みが同時に行なえる。

GA/DAバスには、セルの内容そのまま論理

表1. local memory からの fetch

Programs [2]	[6-Queens]	[equiv2]	[LL2P]
1. fetches executed	17372	21329	76875
2. fetch-loops	27569	23194	123461
3. parallel fetches of 2.	18785	21762	81599
4. sequential fetches of 2.	118	79	2

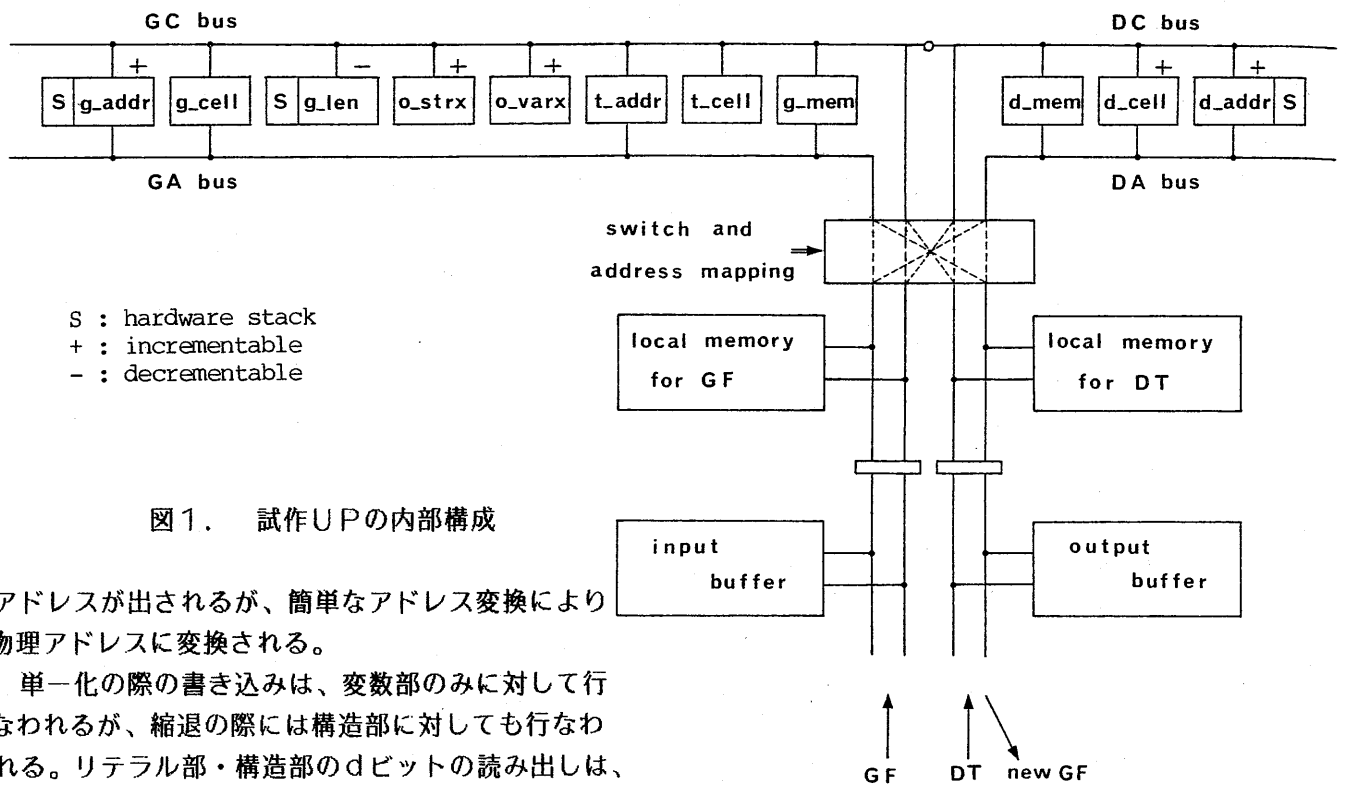


図1. 試作UPの内部構成

アドレスが出されるが、簡単なアドレス変換により物理アドレスに変換される。

単一化の際の書き込みは、変数部のみに対して行なわれるが、縮退の際には構造部に対しても行なわれる。リテラル部・構造部のdビットの読み出しは、ゴール側ローカルメモリでは常に0、定義側では常に1である。

4.3 入出力バッファ

入力バッファはゴール側に設けてある。入力バッファからゴール側ローカルメモリへGFがコピーされるのは、①新しいGFに対する単一化を行なう場合と、②同一のGFに対する単一化を行なう時に、前回の単一化が成功し縮退が実行されたため、ローカルメモリのGFが破壊された場合である。

出力バッファは定義側に設けてあり、縮退時に書き込まれる。新GFの読み出しはサービスプロセッサが行なう。

入出力バッファは、GFの転送と単一化・縮退が並行して行なえるようにUPから切り離せる。

4.4 レジスタ

レジスタはバスと同じ24ビット幅で、ゴール側に8個、定義側に3個ある。単一化に用いるレジスタを次に示す。

g_addr } 着目セルの論理アドレス
d_addr }
g_cell } fetchされたセル
d_cell } (内容により多重分岐可能)
g_len } 残りの引数の数
g_mem } fetchで変数をたどった後、最後にア
d_mem } クセスしたアドレスが自動的に入る。

その他のレジスタは縮退専用である。

4.5 マイクロプログラム

試作UPでの制御にはマイクロプログラム方式を用いる。マイクロプログラムは、基本的に垂直型であるが、次命令アドレスのフィールドやレジスタのインクリメント/デクリメントのビットもマイクロ命令に含まれる。

マイクロ命令幅は35ビット前後、制御記憶は512語程度になる予定である。

5. おわりに

以上、試作単一化プロセッサUPの概要について紹介した。今後、サービスプロセッサとのインタフェースを明らかにした後、UPの試作を進めて行く予定である。

《 参考文献 》

- [1] 湯原 他：“推論向き高並列計算機システムのユニフィケーション機構”，第26回情報全大，4N-6，1983.
- [2] 後藤 他：“高並列推論エンジンPIEにおける並列処理の効率化手法について”，信学技報，EC83-9，1983.