

GRACE に於ける

2K-4

バッファ付磁気バブル制御装置の試作

荻野 正* 喜連川 優** 田中 英彦* 元岡 達*

(* 東京大学工学部、** 東京大学生産技術研究所)

1. はじめに

GRACEでは、メモリモジュールの記憶媒体として改良型M/M式バブルメモリの採用を考えている。メモリモジュールの役割は、効率の良いバケットシリアルなデータ流の生成にあり、試作制御システムは、マークビットRAMによるアドレッシング機構、バッファループの制御、欠陥ループ処理を伴う複数チップの並列動作を実現するものである。バッファ付バブルチップの制御方式については既に検討しており[1]、今回はそのハードウェア実装方式に関して報告する。

2. 試作システムの全体構成

今回試作したシステムは、図1に示す如く大きく4つのユニットに分けられる。

- ・ Central Control Unit …システム全体の動作を支配するユニットで、ホストマシンとのコマンドのやりとり、各種レジスタの初期設定、バブルを駆動する周期波形(125KHz)の発生等を行う。
- ・ Gate Control Unit …マークビット情報により磁気バブルのゲートの制御を行う。
- ・ Data Control Unit …欠陥ループ情報に基づき、バブルへのデータ書込み、バブルからのデータ読出しを行う。
- ・ Interface Unit …本来はモジュール間結合網との回線制御等を行うユニットであるが、今回はバッファによってシミュレートする事とし、Data Control Unit への書込み(読出し)データを供給する(受取る)役割を果たす。

以下主要な回路要素のGate Control Unit と Data Control Unit の詳細について述べる。

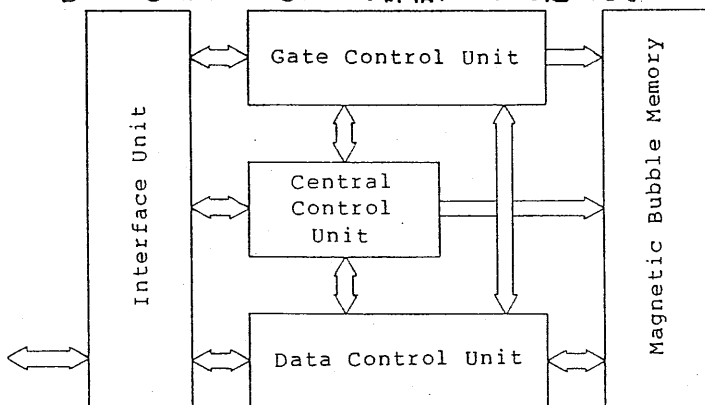


図1 試作システムの全体構成

3. Gate Control Unit

Gate Control Unit (図2)の役割はマークビットRAMによるアドレッシング機構を実現することにある。本機構では、固定的物理アドレスを設けるのではなく、論理アドレスと物理アドレスの対応をRAM上で動的に管理している。従って読出し時には利用頻度の高いレコードがバッファループ上に自動的に集まることとなり、高い性能が期待できる。又、書込み動作は固定番地に書込むのではなく、空エリアを動的に確保することにより実現され、読出し同様高速書込みが可能となっている。更に連続アクセス性能を向上させる為メジャライン上で同時に複数レコードを制御する機構も実現している。

上記の機能にほぼ対応して、Gate Control Unit は大きく次の3つの部分に分けられる。

- ・ マークビットRAM制御部
- ・ 書込み、読出し、及びスワップ制御部
- ・ 遅延バッファ制御部

3.1 マークビットRAM制御部

マークビットRAMは、マイナーループ用として8ビット×2048語、バッファループ用として8ビット×64語を用意する。また、ループ上でレコードの格納されるエリアとマークビットRAMのアドレスの対応をつける為に5つのアドレスポインタを設ける。

3.2 書込み、読出し、及びスワップ制御部

バブルが1ビット移動する毎に、前述したアドレスポインタにより示される両ループ上のマークビットを調べて、書込み、読出し、及びスワップ動作の判定を行う(図3、[1])。

3.3 遅延バッファ制御部

レコードを書き始めてから、そのレコードがバッファループに取り込まれるまでには、メジャライン上での遅延が存在する。読出しの時も同様である。この遅延を正しく制御する為の信号を作るのが遅延バッファである。それによりメジャライン上でのレコード間ギャップをなくす事ができ読み書きの効率を上げられる。レコード長が短い時には、必要なループ数だけ使う事によりオーバーヘッドを減少させることができる。本機構は、1本のシフトレジスタと2つのカウンタにより構成される。

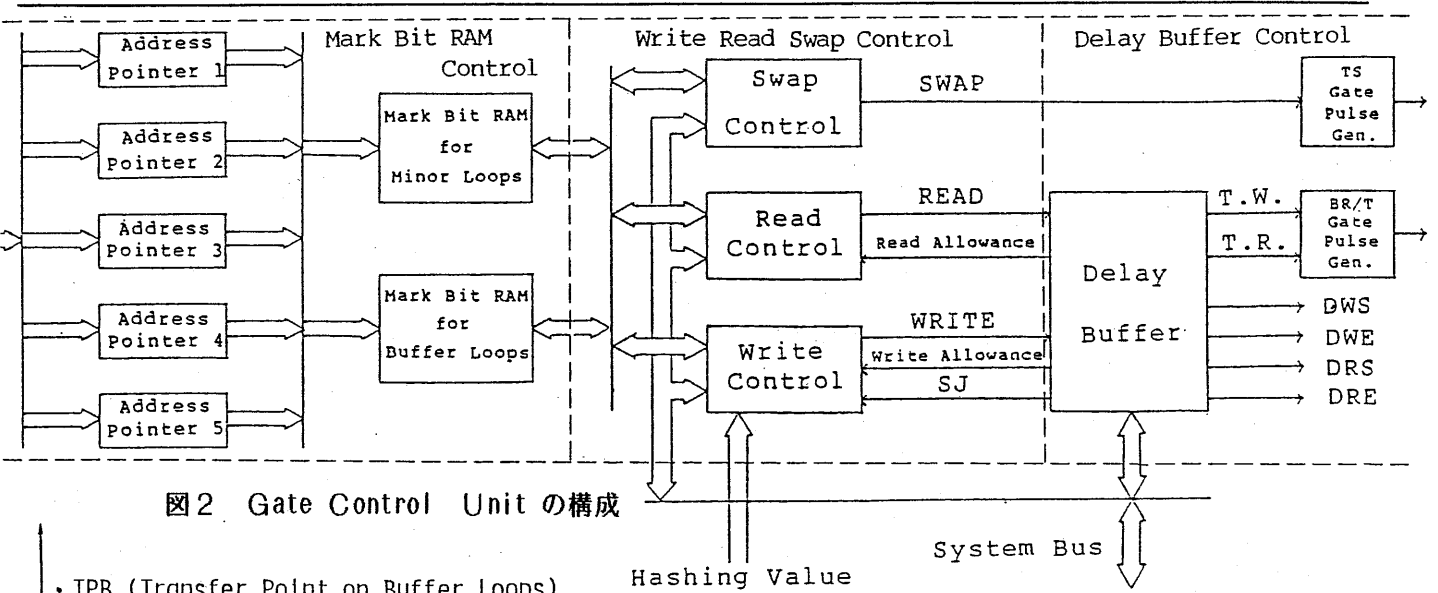


図2 Gate Control Unit の構成

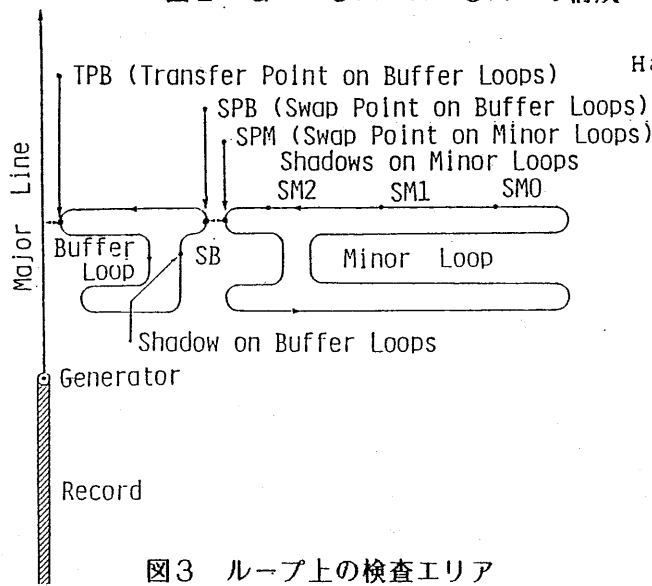


図3 ループ上の検査エリア

4. Data Control Unit

Data Control Unit はバブルの複数チップ並列駆動下での欠陥処理を司る。試作システムではチップ数を16としている。その機能は、

- 書込み時にバイト単位で入力されるレコードを、欠陥ループ処理を行ないながら、16チップのバブルへ分配する。
- 読出し時に、16チップのバブルからの出力に対し欠陥ループ処理を行ないながら、バイト単位のレコードを再現する。

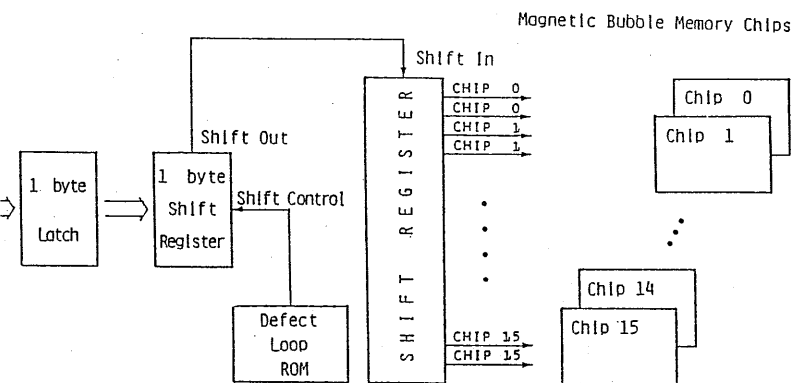


図4 書込みデータ変換部

であり、以上の機能を実現する為、このUnit は次の3つの部分から構成される。

- 欠陥ループ管理部
- 書込みデータ変換部
- 読出しデータ変換部

欠陥ループ管理部は、ROMに記憶されている欠陥ループ情報から、必要なループ分の欠陥情報を順に送り出す機能を持つ。

書込みデータ変換部は、図4に示される構成をとり欠陥ループ管理部からの情報に基づきシフトレジスタを制御することにより実現される[1]。

読出しデータ変換部では、欠陥ループからの出力を削除して、元のレコードを再現する。これは、書込みデータ変換部とほぼ逆の構成で実現される。

5. ハードウェア実装とデバッグ支援環境

試作システムは、バブルメモリ及び周辺アナログ回路を除いて、一枚の基板に実装された。ホストマシンとしてPC-8001を使用し、ホストマシンと基板との接続の為I/OユニットPC-8012を使った。バブルチップはNEC製の1Mbit のものを使用した。また、試作システムではデバックの効率を上げる為、ステップ動作を可能とし、1クロックごとのレジスタの変化等の追跡が容易に行なえる様にした。

6. おわりに

現在、基板単独でのデバックを終了し、バブルを接続して動作のチェックを行なっている。今後は、連想読出し機構の改良等について検討する予定である。

参考文献

[1] 荻野他『バッファ付磁気バブル記憶装置の設計』第26回情報処理学会全国大会 4F-5 1982