

推論向き高並列計算機システムの

4N-4

アーキテクチャ

後藤 厚宏 , 相田 仁 , 田中 英彦 , 元岡 達

(東京大学 工学部)

1. はじめに

将来の大規模知識情報処理において必要となる推論向き高並列計算機システムを開発中である。これまでに論理型言語の実行モデルの表現法として証明図 (Proof Diagram) を導入し、論理型言語によって記述されたプログラムの並列処理性と実現上の課題について検討してきた [1]。

本稿では、システムの中心となる高並列推論エンジン P I E (Parallel Inference Engine) の第一次モデルの概要について述べる。またアクティビティ制御機構、及びユニフィケーション機構の詳細は [2]、[3] にある。P I E は論理型言語の内部表現を直接実行するものであり、その機械語については [4] を参照されたい。

2. 論理型言語の並列処理性

(1) ゴールフレーム間の並列処理

ゴールフレームとは、与えられた問題を解決する過程における中間結果であり、定義節とのユニフィケーションによって次々と新たなものに置きかえられ、最終的には成功/失敗に到る。論理型言語ではその非決定性により、与えられたひとつのゴールフレームから多種のゴールフレームが生成し得る。

一般に各ゴールフレームは OR の関係にあり、解の重複を許すならば、生成された多数のゴールフレームの並列処理が可能である。ただし、並列性のすべてが有効ではなく、また数の爆発の危険性もあるため、P I E では効率的な並列処理の実現手法が要求される。

(2) ゴールリテラル間の並列処理

前述の各ゴールフレームは、多くの場合複数のゴールリテラルの AND 結合である。元来、各々のリテラルの実行に順序関係はないため、各リテラルの並列実行が可能である。しかし、各リテラルをそのまま並列実行しようとする、リテラル間の共有変数における解の衝突が生じたり、停止性がそこなわれる可能性がある。そこでリテラル間の並列処理では各ゴールフレームの実行開始に条件を設け、並列性を制限することによって前述の問題を解決することになる。

リテラル間の解の衝突は、共有変数に対して値を結合できるリテラルをひとつに定め、他のリテラルからは読み出し専用とすることによって回避できる。このような変数に対する方向付けには、プログラマが各述語毎に指定する静的手法と、定義節が呼び出された時に動的に決定する手法が考えられる。リテラル間の並列処理では変数に対する方向付けを守る範囲のリテラルが並列に実行される。しかしゴールリテラル間の並列処理には、

- ① ゴールフレーム間の並列処理とどのように組み合わせるか、
- ② 変数の方向付けをどのようにして最適化するか、といった課題が残されているため、第二次モデル以降においてサポートすることにする。

(3) リテラル内の引数間の並列性

ユニフィケーション操作は論理型プログラム言語の基本操作であり、効率化が重要である。ユニフィケーションでは述語の各引数間において前述 (2) と同様の並列性がある。しかし、その実現上の問題も同質である。

3. P I E の第一次モデル

P I E の第一次モデルは、前節 (1) で述べたゴールフレーム間の並列処理とユニフィケーション操作のハードウェア化の実現を目指すものであり、その全体像を [図1] に示す。

(1) Unify Processor (UP) と Definition Memory (DM)

UP はユニフィケーションをハードウェアによって直接サポートする要素プロセッサであり、DM は定義節を保持するメモリである。UP は、ひとつのゴールフレームを入力し、その中のひとつリテラルについて、対応する定義節のすべての選択枝を DM から取り出す。この時、失敗が明白なものについては DM 側でチェックして選択枝を絞り込む。UP は、ユニフィケーションに成功し新たに生成された複数のゴールフレームを結果として出力する。

(2) Activity Controller (AC) と Memory Module (MM)

ゴールフレームの実体は MM 内に置かれ、各 AC

によって実行が制御される。ACは与えられた問題における探索木の情報を保持することによって各ゴールフレームの関係を把握し、AC間の相互通信によって、UPに対する割り付け・効率化のための制御・言語上の拡張機能・資源の管理等を行なう。

(3) Activity Manager

Activity Managerは、各AC及びMMを監視し、システム内の負荷分散を均一にする。

(4) System Manager

System Managerは入出力、データベースマシン等との外部インタフェースを司る。

(5) Network

現在、結合網は任意のUP-MM間でゴールフレームが転送できるものを仮定している。

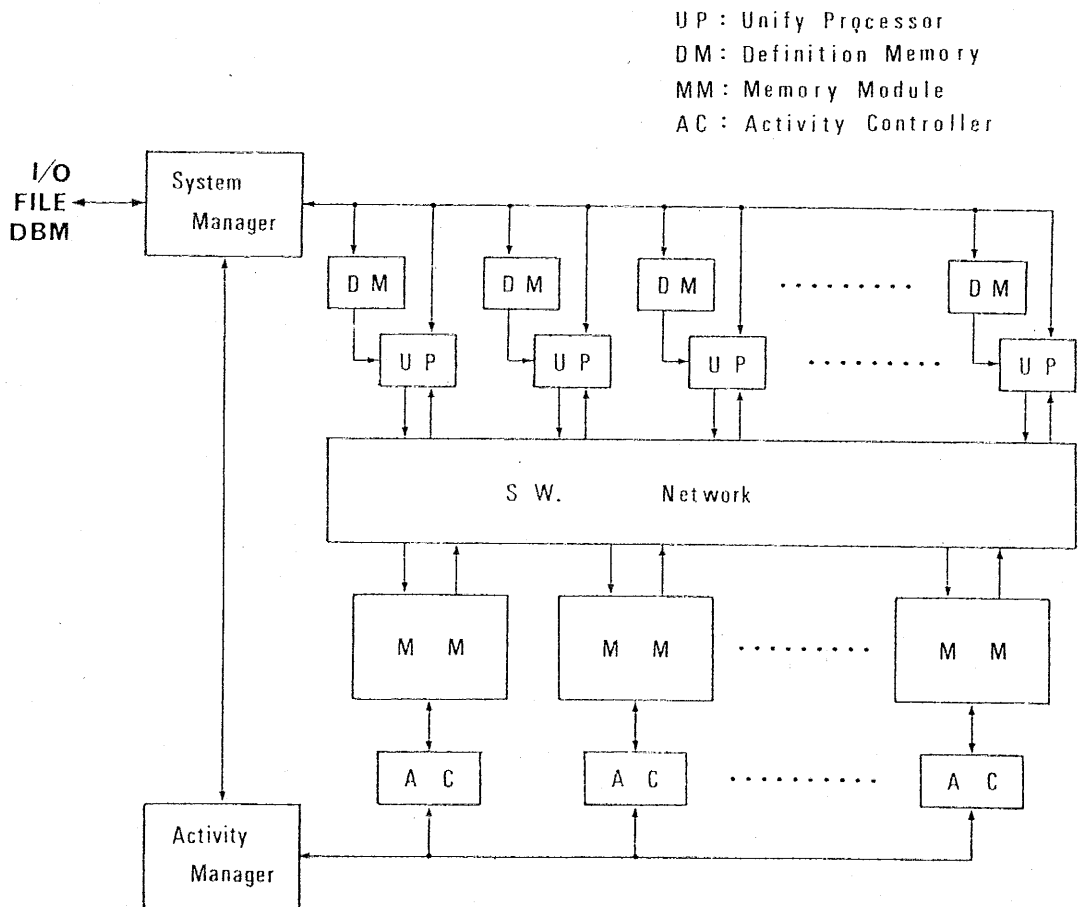
4. おわりに

現在、PIEの第一次モデルの方式設計がほぼ終了し、マシンの詳細設計を進めながらシミュレーション評価を行なっている。評価結果については、まとも次第発表する予定である。

今後は、第一次モデルの評価と並行して、ゴールリテラル間の並列処理・知識ベースとのインターフェース等を盛り込んだ第二次モデルについて検討する。

<参考文献>

- [1] 後藤 他：“推論向き高並列計算機システムの基本アーキテクチャ”，信学技報 EC 82-43 (1982)
- [2] 丸山 他：“推論向き高並列計算機システムのアクティビティ制御機構”，本予稿集4N-5
- [3] 湯原 他：“推論向き高並列計算機システムのユニフィケーション機構”，本予稿集4N-6
- [4] 相田 他：“推論向き高並列計算機システムの基本言語機能”，本予稿集4N-7



UP : Unify Processor
 DM : Definition Memory
 MM : Memory Module
 AC : Activity Controller

[図1] PIEの第一次モデル