

バッファ付磁気バブル記憶装置の設計

4F-5

荻野 正 喜連川 優 田中 英彦 元岡 達
(東京大学 工学部)

1. はじめに

GRACEでは、メモリモジュールの記憶媒体として改良型M/n式バブルメモリの採用を考えている。本稿では、バッファ付バブルチップの制御方式及び試作システムの設計について、その概要を報告する。

2. 試作システム設計上の方針

我々は既に、バッファループを付加した改良型チップについて検討を行ってきたが[1]、今回NEC製作のバブルを利用しシステムを試作することにした[2]。既存のチップを利用する為、いくつかの制限が生じている。第一に、バッファループの長さ等チップのデザインパラメータは変更することはできない点、第二に、メジャラインが読み書き共用となっている為、その並列動作ができない点、などである。メモリモジュールの役割は、効率の良いバケットシリアルなデータ流の生成にあり、試作

システムは、マークビットRAMによるアドレッシング機構の実現、バッファループの制御、欠陥ループ処理を伴う複数チップの並列動作等に関する研究を目的としている。

3. バブルチップとレコード表現

今回使用したNEC製のバブルチップは、0.5メガビットのユニット2つから成り、各ユニットは128ビット長のバッファループと4096ビット長のマイナループの140対から構成されている。メジャラインとバッファループの間にはブロックリプレケーションゲート、バッファループとマイナループの間にはスワップゲートが置かれている。1レコードは図1に示される如く、マイナループ上で連続する2ビットを用いて記憶され、有効レコード長は1ユニットで256ビットとなる。複数のチップの並列動作により転送レートの向上を目指しており、データは1ビットずつ各ユニットに分配される。この際欠陥ループ処理が施される。

4. バブルの制御方式

4.1 マークビットRAM

バブルへのレコードの書込み、読み出し、及びスワップは、アドレス指定ではなく、全て回転磁界と同期した外部のRAM(マークビットRAM)を参照して制御する。マークビットRAMにはループ内の各レコードと対応させてバケットID(ハッシュ値)やその他の情報を記録しておき、処理に応じて更新する。

4.2 書込み制御

レコードを書込む時にはバッファループ上にレコードの書かれていない空エリアを確保して、メジャラインでの遅れも考慮した上で、適当な時点でバブルを生成し始めなければならない。実際にレコードを順次書いている時には、次の4つの場合が起こりうる。

- 1: 現在は空エリアで、実際にレコードが書かれる時にも空エリアである。
- 2: 現在は空エリアであるがメジャライン上の別のレコードがそこに書かれる為に実

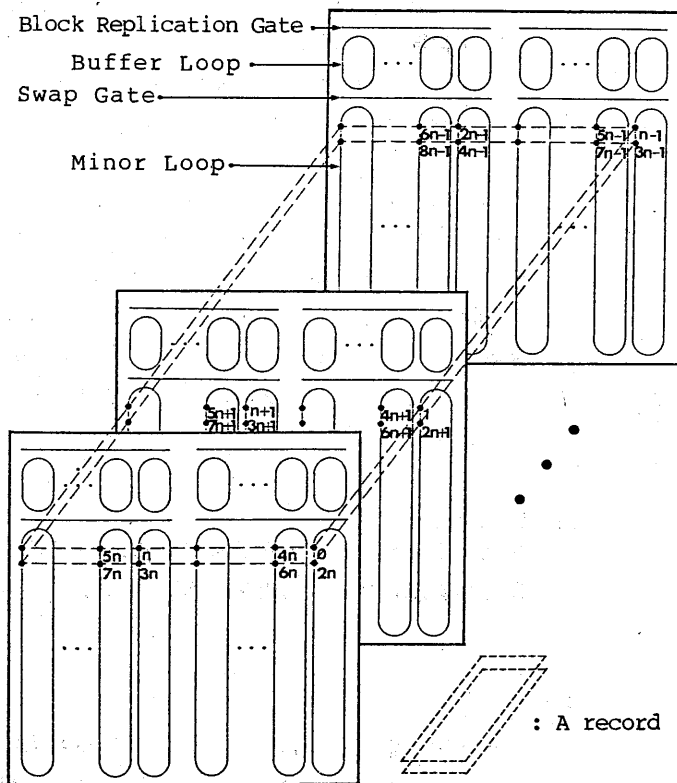


図1 複数チップ上のレコード表現

際にレコードが書かれる時には空エリアでなくなっている。

- 3: 現在は別のレコードが書かれていて実際にレコードが書かれる時にもまだレコードが書かれている。
- 4: 現在は別のレコードが書かれているがマイナーループにスワップされてしまい実際にレコードが書かれる時には空エリアになっている。

レコードを書き始めてよいのは、1と4の場合である。上の4つの場合を正しく判別する為に、バッファループ上の、レコードが書かれるエリアだけでなく、そのエリアのレコードがスワップされるマイナーループ上の幾つかのエリアのマークビットと、メジャライン上でのレコードの位置も調べて書き込みの制御を行なう。即ち図2に示される如くバブル発生器に対応するループ上のビット位置(SM0~SM2, SB)を調べて書き込み制御する。バッファループに書込まれたレコードは可能な限りマイナーループにスワップする。バッファループへの書き込みと、マイナーループへのスワップは並列に行なわれているので、バブルが1ビット移動する毎にマークビットRAMは複数回アクセスされるがバブルの回転磁界は比較的遅い為(125kHz)、スピードの点では特に問題にならない。

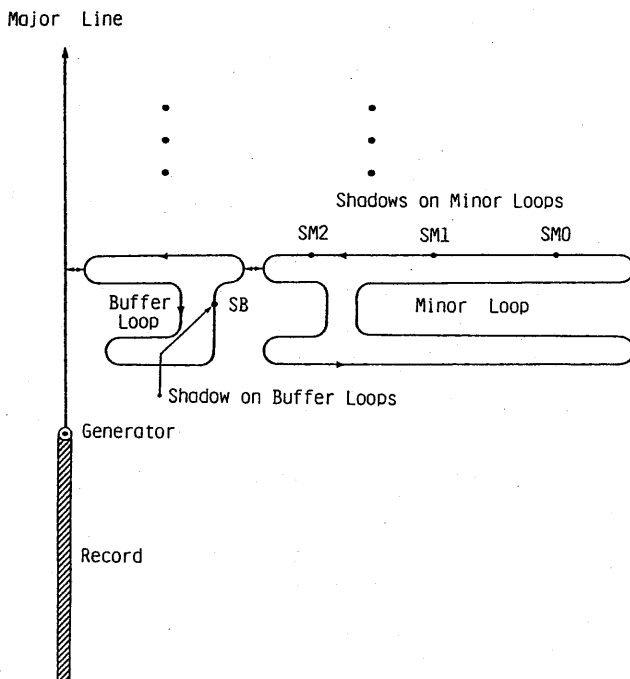


図2 レコードの書き込み制御

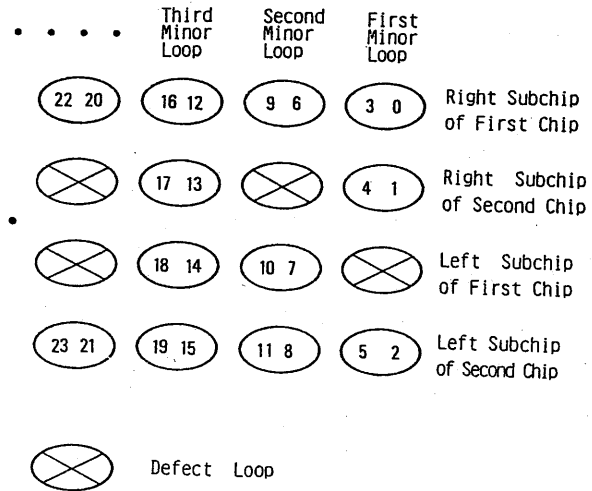


図3 欠陥ループ処理

4.3 読み出し制御

レコードを読み出す場合には、マークビットを参照しながら必要なバケットIDを有するレコードをメジャラインに順次取り出す。この時スワップゲートを介し必要なレコードのみをバッファループに取り込み、当該バケット内レコードの連続的読み出しを可能としている。またバケットIDによってレコードに優先順位を付けておき、その値の低いレコードはバッファループからスワップアウトされる様にゲートを制御することにより、或るバケットIDのレコード群の出力が終了した時点で次バケットのレコードを殆ど遅れることなく出力できる。

5. 欠陥ループ処理

レコードは図3に示される如く欠陥ループを2ビット単位で飛ばして格納される。読み出し時には欠陥箇所を除いて圧縮し、元のレコードが復元される様に制御する。これらはシフトレジスタを用いて容易に実現できる。チップの欠陥ループ情報は外部でROMに蓄えている。

6. おわりに

現在バブルモジュールを製作中である。ハードウェア構成の詳細については改めて報告する予定である。

参考文献

- [1] 喜連川 他 『Hash と Sort による関係代数マシン』 信学技報 EC-81-35 1981
- [2] 小原 他 『1Mビット磁気バブルメモリとその特性』 電子材料 1981年 1月