

5F-2

プロセッサ間ネットワークにおける

スイッチングユニットの設計

服部 泰明 田中 英彦 元岡 達

(東京大学 工学部)

1. はじめに

マルチプロセッサシステムにおいては、プロセッサ間を結合するネットワークの性能が、システム全体の性能に大きく影響を与える。本報告では、主として中継機能を行なうSU(Switching Unit)と、このSUを組み合わせて作られるプロセッサ間ネットワークについて述べる。

2. 基本方針

(1) システム構成

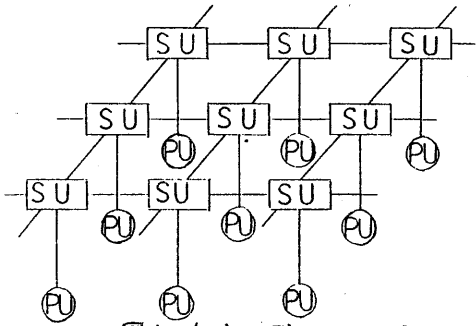


図1.メッシュ型ネットワーク

図1の様な構造を考える。四角のSUはパケット単位でデータを

を受けし合い、PU-PU間の通信を実現する。図1は格子状にSUを組んでネットワークを構成した例であり、他にも種々のトポロジーが考えられる。

(2) ネットワーク構成

ネットワークは非同期動作、分散制御とした。非同期動作にした理由は、数百〜数千台のプロセッサからなるシステムの場合に、全システムを同一クロックで動作させようとする、クロックのずれが大きくなるからである。

また分散制御にしたのは、集中制御ではコントローラに負荷が集中して、ネットワークの性能のボトルネックとなる可能性があるからである。

3. SU構成

1 SUあたりの遅延時間を小さくするために、SU-SU間の伝送エラー

回復とフロー制御を行なわないことにした。

(1) 内部構成

SU内部は複数の入力ポートと出力ポートから構成され、両者の間は各入力ポート毎のデータバスと入出力ポート一対ごとの制御線により結ばれる。入力ポートはFIFOのバッファと制御回路から構成される。出力ポートは各入力ポートからの要求を選択するアービタと制御回路から構成され、出力ポートではデータのバッファリングを行なわない。

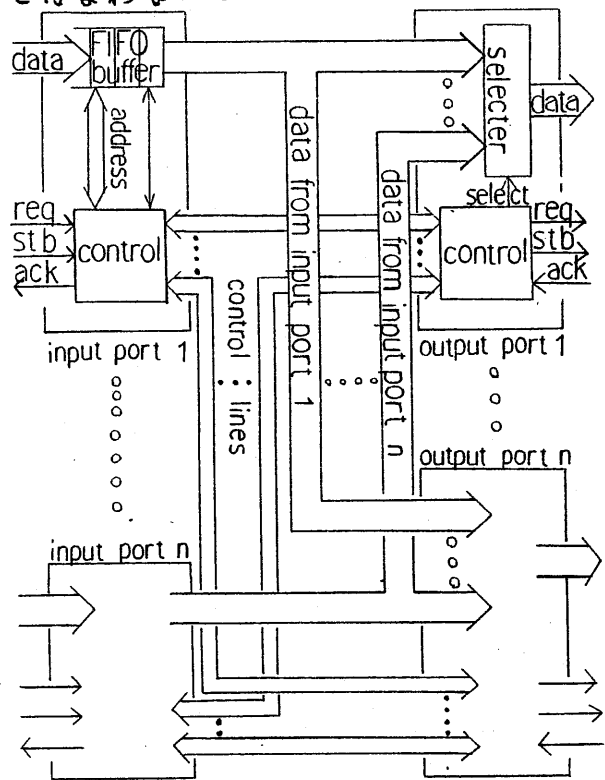
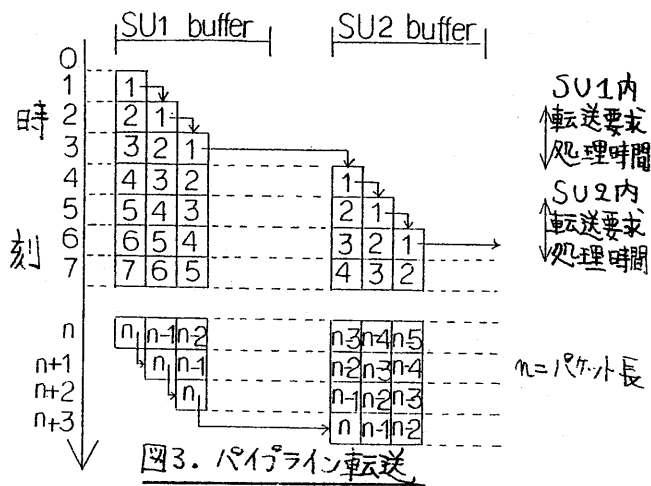


図2. SU内部構成

(2) パイプライン転送

ポート間の転送は図3の様にパイプライン転送で行なう。入力ポートではアドレスを入力した後、次のデータの入力と並行してアドレスをデコードして中継すべき出力ポートに中継要求を



出す。そしてパケット全体の到着を待たずに、中継が許可され次第、順次、次のSUに進む。これにより遅延時間の短縮化が可能である。

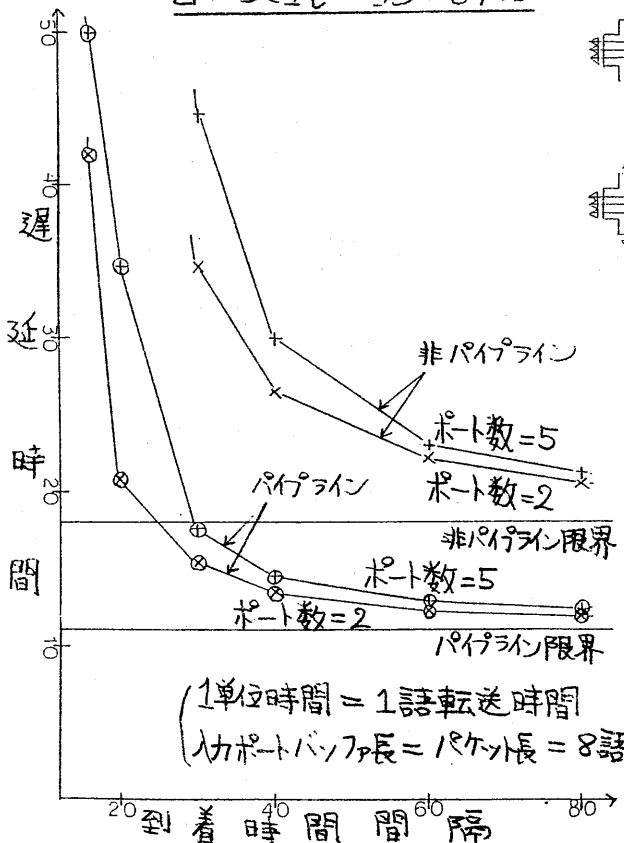
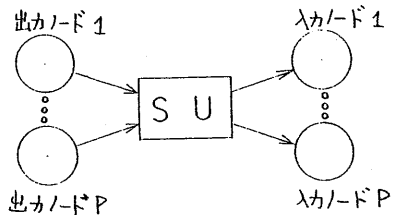
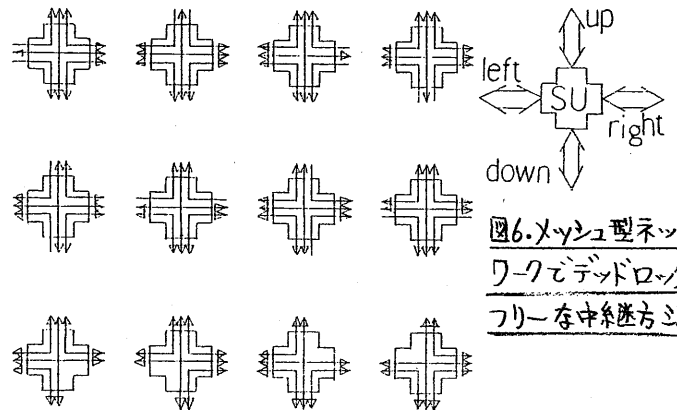


図5は図4のモデルに基づき、1SUあたりのパケットの平均伝達遅延時間をシミュレーションにより求めたものである。

#### 4. デッドロック対策

各SUでバッファリングしているのでネットワーク中でデッドロックを生じる可能性があるが、この対策として次の2通りの方法が考えられる。

- ① デッドロックフリーな経路選択
  - ② デッドロック発生時点での検出、回復
- ①の方法について図1のメッシュ型ネットワークについて調べた結果、メッシュの両端を結合せず、図6にある12通りの制限された中継方法の内1つを、全SU共通に適用すればデッドロックを防げることがわかった。しかしこの場合障害に弱いなどの欠点がある。



また一般のトポロジーについて①のアルゴリズムを求めることは困難である。②については検討中である。

#### 5. おわりに

今後、このSUにより構成されるネットワークについて詳しい性能をシミュレーションにより求める予定である。

#### 【参考文献】

- 成瀬, 他「科学技術計算向きデータフロー計算機に用いる相互結合ネットワークの性能評価」信学技報 EC82-36
- 菅原, 他「超多重プロセッサ間接続機構」第23回情報大会 5E-5