

GRACE に於ける ソーティングユニットの構成

4G-5

桑原 和宏 喜連川 優 伏見 信也 田中 英彦 元岡 達  
(東京大学工学部)

1.はじめに

本ソータはパイプライン化したマージソートのアルゴリズムを用い入カデータストリームに遅れることなく  $O(N)$  時間でソートを完了する<sup>(1)</sup>。レコード数  $N$  に対して 2way マージをおこなう  $\log_2 N$  台のプロセッサと  $\log_2 N$  台のメモリバンクからソータは構成されプロセッサ間はパイプライン結合されている。(図1参照) またメモリ管理はポインタ方式を採用し 2 byte のポインタを付加した固定長のソートをおこなう。

今回はプロセッサ1台を試作したのでそれについて報告する。

2.プロセッサの内部構成

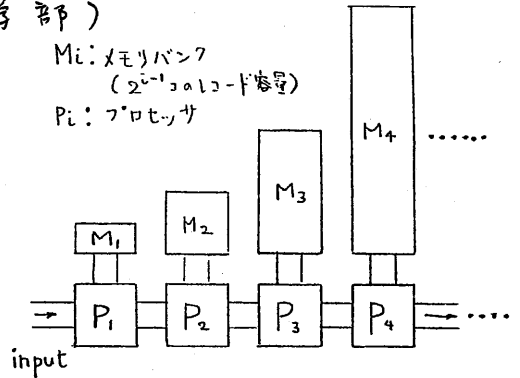
図2にプロセッサの入出力線, 図3に制御部を除いたプロセッサの内部構成を示した。主なレジスタ, フラグは次のとおり ( ) 内は bit 数)

- MAR...メモリに対するアドレスの保持。(16)
- LR... linked list 作成に使用。(16)
- STP $i$  ( $i=0,1,2$ )... スtring  $i$  に対するポインタ。(16)
- CR, MTR... 比較するデータの保持。(16)
- TOP... MT Memory に対するアドレスの保持。(16)
- RLC... レコード長管理のカウンタ。(16)
- CTR $i$  ( $i=0,1$ )... string  $i$  のレコードのカウンタ。(16)
- CTRM... string 長管理のカウンタ。(16)
- ITOP... キー長の保持。(8)
- ICTRM... string 長の保持。(16)
- IRLC... レコード長の保持。(16)
- IR... 入カの一時的保持。(8)
- rf, S01... 比較の結果を示すフラグ。
- Read/Write... cycle の状態を示す。
- A/D... 昇順, 降順の指定。

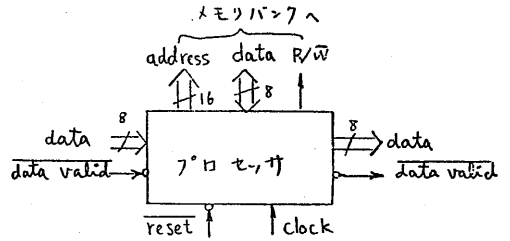
3.プロセッサの内部制御

3.1 水平マイクロプログラム

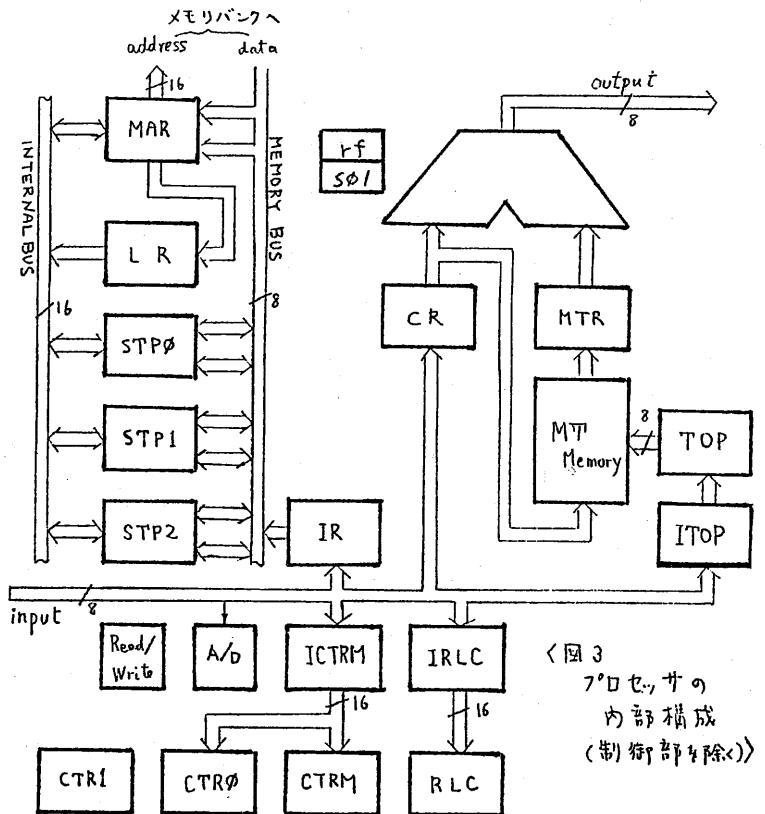
プロセッサの内部制御は水平マイクロプログラムによりおこなう。これは今後機能拡張をお



<図1 ソータの構成>



<図2 プロセッサの入出力線>



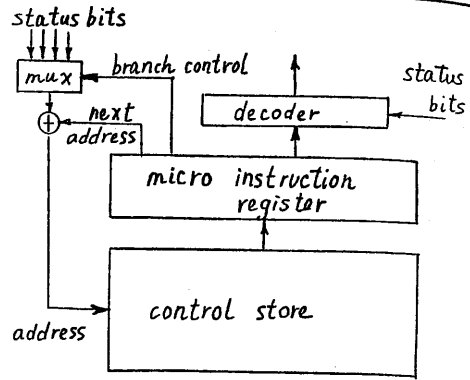
<図3 プロセッサの内部構成 (制御部を除く)>

こにより柔軟なソータを開発することを目的としていることによる。

また水平マイクロプログラムのための制御記憶とメモリアンクにはアクセスタイムが同程度のものが使える。このことは揮発ソータのLSI化において有利であるといえる。

3.2 マイクロプログラムの順序制御

マイクロプログラムの順序制御はマイクロ命令に next address と branch control のフィールドを設け、next address と branch control で指定した status bits



〈図4 順序制御・3命令のマイクロ命令〉

で修飾することにより、おこなう。また制御のパイプライン化のため条件分岐命令でタイミング的に不適切なものについてはマイクロ命令自体を status bits で修飾している。(図4参照)

4. タイミング

本ソータはバイトレベルのパイプラインを用いている。図5に示すように1 byte の処理はメモリアンク、メモリアンクの2クロックで構成されるレコードにつづく2 byte タイムでポインタの操作をおこなう。

5. プロセッサ間結合

プロセッサ間は8 bit のデータ線と data valid により結合される。(図1,2参照) data valid によりプロセッサの内部クロックを止め動作を一時的に停止することができ、入力データストリームの中断に対して柔軟に対応することができる。

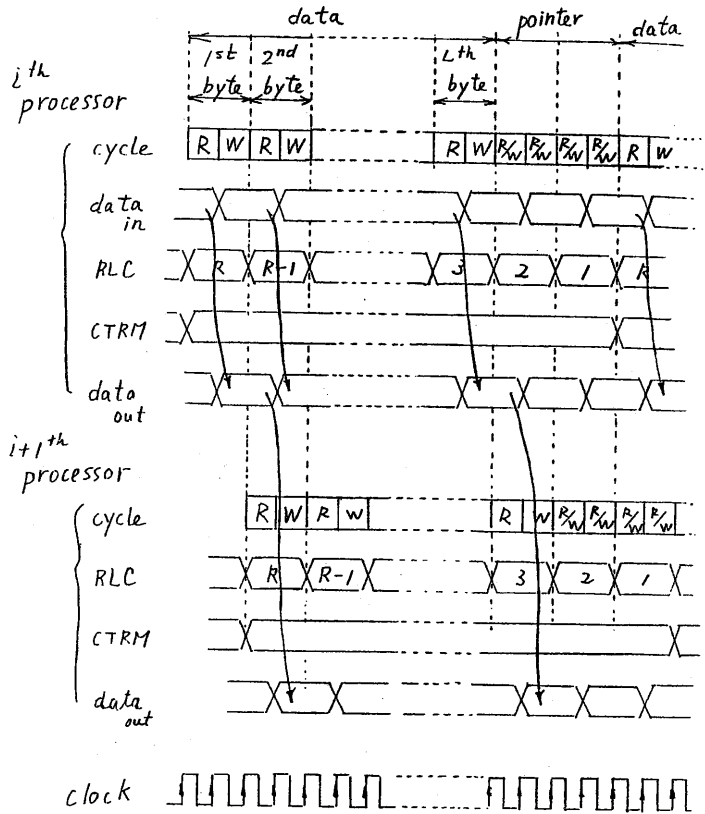
6. 初期化

ソータの前に各プロセッサに対しレコード長、キー長、ストリング長などの設定をおこなう。この初期設定は各プロセッサに reset をかけたのちソートするデータに先立って各定数を入力データストリームとして流すことでおこなわれる。各プロセッサは定数の設定が終了したのちただちにソートを開始する。

7. おわりに

今回の試作ではアクセスタイム / 50 ns のメモリアンクを用いている。クロックの上限は主にメモリアンクのアクセスタイムで決まり 5~6 MHz となる。2クロックで1 byte のデータを処理するのでデータの最大転送速度は 2.5~3 Mbyte/sec が期待できる。また現在はキー・非キー分離をせずレコード長 = キー長 + 2 となっている。この点を含め今後種々の機能拡張を予定する予定である。

参考文献: (1) 伏見他 "可変構造多重処理データマシンにおけるソータユニット" 情報処理学会第23回全国大会, 4F-7, 1981



〈図5 タイミングチャート〉

R: memory read cycle  
W: memory write cycle