

論理設計援助システムにおける 3E-2 入カサブシステム

藤田昌宏 渡部悟朗 岩瀬雅則 田中英彦
元岡達 (東京大学 工学部)

1. はじめに

論理装置の大規模化、複雑化に伴い、論理設計援助システムへの回路情報の入力をスムーズに行なえることが、重要となっている。当研究室で今までに開発してきた論理回路入カシステムでは、タブレットから入力を行なう際に、Bottom Upにしか入力できなかった。これを用いて論理設計を行なうためには、Top Downに入力することができるシステムに変更する必要がある。

そこで、次の2点について研究を行った。

- ① Top Downにも入力できるようにする。
- ② 一旦入力したデータの編集を、容易にできるように編集機能を完備する。

2. 全体の構成

本システム全体の構成を図1に示す。

ホスト計算機は、東大大型計算機センターであり、300bpsの公衆回線を介して、TSSでつながっている。

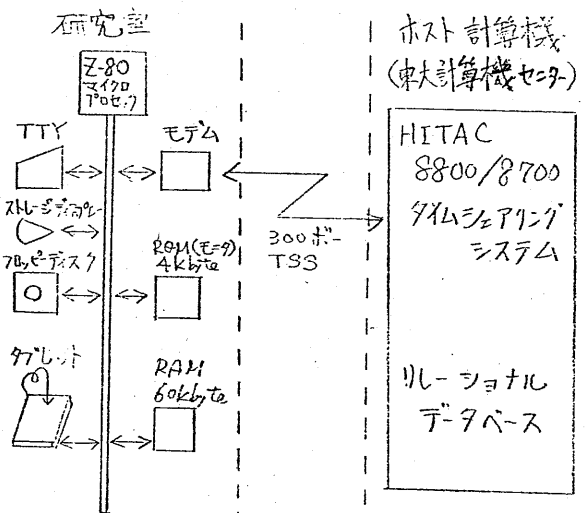


図1 システムの構成

3. 入力方法

入力方法には、次の3つがある。

- (1) タブレットによる入力
- (2) ELISコマンドによる入力
- (3) SEQUELによる入力

本研究は、(1)について行なったので、ここでは(1)についてのみ説明する。

(1) タブレットによる入力

タブレット上には、図2のように3枚(回路図、制御シート、シンボル選択シート)のシートがある。制御シートには図3に示すように、指定部とキーボード領域がある。

回路は、すべてモジュールとして入力していく。まず、シンボル選択シート名、回路名を制御シートより入力する。次に、回路図上に現われる論理素子を入力し、タブレットにペンタッチしていくことで、配線を行ない回路を完成させる。一つの回路の入力が終わると、そのモジュールをシンボル選択シートに登録ができる。登録後は、他の回路にお

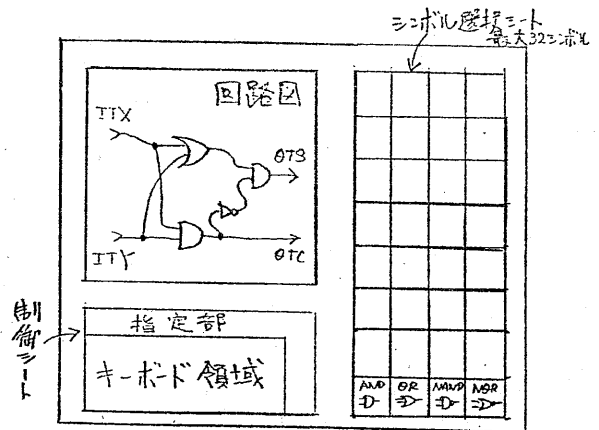


図2 タブレットレイアウト

Entity	File	Module	Terminal	Submodule	Net	Abstraction	SSS Change	End
→	←	→	↑ ↓	→	→	→	SSS Class	Return
P Q R S T U V W X Y Z [\] ↑ ↓	Alu.Fib							
@ A B C D E F G H I J K L M N O	DLta							
1 2 3 4 5 6 7 8 9 : ; < = > ?	Insert with Modif.							
Sp ! " # \$ % & ' () * + , - /	Cancel							
Cp Cr Cs Ct Cw	BS				ESC			
Blank	Del/Disp							

図3 キーボードレイアウト

いて、子モジュールとして使うことができる。

Bottom Upで入力するときには、最初は、AND、OR、RSFF...等の基本的な素子のみを用いて、回路を作って登録し、また次の回路を作って登録し...というふうにして大きな回路を入力していく。

Top Downで入力する場合について、Half AdderでFull Adderを作る場合について説明する。(図4)各Stepともタブレットにペンタッチすることで行なわれる。

- Step1. FAをTerminalのみ宣言し、登録する。
 - Step2. HAもTerminalのみ宣言し、登録する。
 - Step3. HAとORを使って、FAを作り上げる。
 - Step4. AND、OR、NOTを使って、HAを作り上げる。
- 以上で、FAの回路が入力できる。

また、Step1で登録したTerminalの数よりも、Step3で作ったFAのTerminalの数が増えてもかまれない。ここで、Step1とStep2では、Black Boxを登録している。Black Boxの中の回路を入力している例(Step3)を図5に示す。

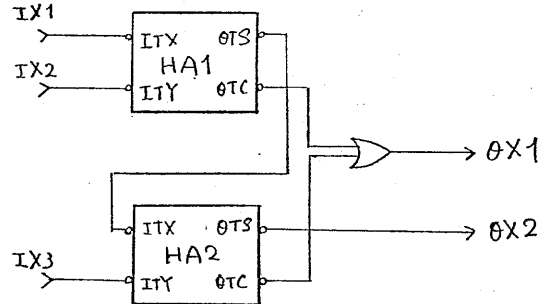


図4. HA, ORを用いてFAを作る
HA1, HA2は Black Box

4. エディット機能

タブレットからの入力をスムーズに行なえるように、現在編集中のモジュール内のターミナル、サブモジュール、ネットの消去、及び、各モジュール内の回路情報の表示が、ペンタッチにより行なえるようにした。

これらの機能が加わったことで、設計者は、現在の入力状況をよく把握しながら設計し、入力していくことができる。

5. おわりに

Top Downによる入力では、各回路はすべてモジュール化して登録しているため、今までに作り上げられてきた回路をTop Downで設計していく途中で使うこともでき、構造的な設計が可能となっている。このため、現存する素子を考慮しながら、Top Downで設計していくことができ、生産性、経済性とも増大できる。

また、本入力システムは、論理設計にかぎらず、同じように、Top Downでものを考えていくような分野、例えば、要求仕様工学への応用も、わずかな変更で対応でき、今後検討を進める予定である。

```

INSERT INTO MODULE
MODULE=FA
ABSTRACTED MODULE
TERMINAL
IX3 ; INPUT
IX2 ; INPUT
IX1 ; INPUT
OX2 ; OUTPUT
OX1 ; OUTPUT
FIL (FN=STANDARD)
NM (FA)
TERMINALS= INPUT IX3.
OLD TERMINAL
TERMINALS= INPUT IX2.
OLD TERMINAL
TERMINALS= INPUT IX1.
OLD TERMINAL
TERMINALS= OUTPUT OX2.
OLD TERMINAL
TERMINALS= OUTPUT OX1.
OLD TERMINAL
SUBMODULE=.HA1....
CM (HA1:HA)
SUBMODULE=.HA2....
CM (HA2:HA)
SUBMODULE=.OR1...
CM (OR1:OR)
NETS= UNI L1..
NT (L1:IX3-HA2.ITY)
NETS= UNI L2..
NT (L2:IX2-HA1.ITY)
NETS= UNI L3..
NT (L3:IX1-HA1.ITX)
NETS= UNI L4..
NT (L4:HA1.OTS-HA2.ITX)
NETS= UNI L5..
NT (L5:HA1.OTC-OR1.B)
NETS= UNI L6..
NT (L6:HA2.OTC-OR1.A)
NETS= UNI L7..
NT (L7:HA2.OTS-OX2)
NETS= UNI L8..
NT (L8:OR1.Y-OX1)
ABSTRACTION..
ABSTRACTION HAS FINISHED.
CLOSE
END OF ELIS COMMAND GENERATION
    
```

図5 Black Boxの中の回路の入力