

25

連想処理システムのモジュール化

上森 明、田中英彦、元岡 達
(東京大学 工学部)

1. はじめに

パターン処理、情報検索等の目的に適した連想処理システムの構成法について考え、幾つかの利用法でその評価を行ない、その有効性の実証を目指した研究を行ってきた。

現在、マイクロプロセッサを始めとするLSI技術の進歩によって、低コストで大規模な論理機能を得る事、多数のマイクロプロセッサによる並列処理、等が可能になってきた。パターン認識等の人工知能の分野では、汎用計算機システムによる処理では間に合わず、定量的評価の為のデータの収集にも支障をきたしている。LSI技術の利用によって、専用のパターン認識プロセッサを開発する事も可能であるが、各種の認識方式の比較・検討を必要とする研究段階においては、同一のハードウェアによる比較・検討が公平であり望ましいと考えられる。

このような観点から、人工知能の研究に適した汎用性のあるパターン処理システムとして、STARAN^[2]タイプの多次元アクセス可能な記憶(MDAM)と多数のマイクロプロセッサの組合せによって構成される連想処理システムについて検討を加えた。特に、実現方式上の問題として、MDAMの最適サイズ¹の決定を取り上げ、連想処理システムをモジュール化する事のメリットと合わせて考察したので、ここに報告する。

2. 連想処理システムのモジュール化

MDAMの実現方式として、EOR Skew Array方式^[1]を用い、データの並べ替え回路として、Shuffle-Exchange回路^[1]を用いると仮定する。N語Nビットのメモリでは、データの並べ替えに要する時間は $\log_2 N$ に比例するため、できるだけ大きなパターンを格納できる様に、Nをむやみに大きくする事は、ファンアウトやアクセスタイムを増加させる事を意味し、必ずしも得とは言えない。

又、演算処理部が一様なビットスライス型のプロセッサ群から成る時は、Nビット/語であって、bit serialな並列処理(STARANの方式)が最適と考えられる。しかし、8ビット/語又は16ビット/語のプロセッサを多数並べる場合、STARANの様にbit serialな並列処理をとるのが効率良い方式であるのか否か考慮を必要とする。

プロセッサ自身が8ビットないし16ビットの並列処理能力を有するのを活かす為に、MDAMの機能に制限を加えて、1つのアレイモジュールを16語×256ビットにし、その中の各16語×16ビットの範囲で行・列の直交変換できる様に制限する。これは、256語×256ビットのMDAMのアドレス変換機能に下4ビットのアドレスマスクをかける事に相当し、図1(b)の様にワードスライスアクセス時に、1語256ビットまとめて同時に読む事はできない。しかし、Back-upメモリーが16ビット巾ならばこのような制約は問題にならないと考えられる。

この制約によって得られる利点は、(1)データの入出力時のビットの並べ替えが16ビットの範囲で済み、Shuffle-Exchange回路の段数が256×256の場合の半分と

なって、アクセス時間を短縮できる事、(2)システム構成上もモジュール化が容易となり、融通性、柔軟性を持たせる事ができる事、(3)大きなメモリアレイを得る為に、モジュール数を増しても、16ビットの範囲内に直交アクセスを制限しているのので、アクセス時間は一定である事、等があげられる。

他方、不利な点は、モジュール間でのデータの並べ替えができない事で、処理部の方で何らかの工夫が必要である。しかし、通常の連想処理の場合は、モジュール間のデータ交換は不要な為、上記の利点が活かせる。

3. モジュール内メモリアレイの最適サイズ

各モジュールの並列処理ビット数を決定する場合、Back-upメモリ(BM)との転送速度と演算処理部の処理速度とのバランスから、最適ビット数が決定可能な事を示そう。MDAMとBMとの間のRoll in/outに要する時間が、データの処理時間より長ければ、MDAMの語数(並列に処理可能なビット数)を大きくする意味はなく、これの最適値を決定できる可能性がある。

Back-upメモリの転送速度を S_B bits/sec、MDAMの書込み/読出し速度を S_M bits/secとする。両者はバランスする必要があり、低速の方で性能が制限されるので、 $S_B' = \text{Min}(S_B, S_M)$ とする。

また、MDAMを M 語 $\times N$ ビットの記憶で、処理部は M ビット並列に処理可能とする。MDAM中のデータ処理時間を T_p 秒とすると、 $T_{p1} = \text{Const}$, $T_{p2} = K_1 N$, $T_{p3} = K_2 N \log_2 M$ 等の様に仮定できる。 T_w をMDAMのRoll inに要する時間とすると、 $T_w = M \times N / S_B'$ となる。 $M \times N$ ビットの処理に要する時間 T_t は、MDAMが一組の時、 $T_t = T_p + 2T_w$ 、二組の時、 $T_t = \text{Max}(T_p, 2T_w)$ のようになる。いずれにしても、 T_p と T_w がバランスする必要があり、 $T_p = T_w$ とすると、

$$T_{p2} = T_w \text{ の時、 } M = K_1 S_B'$$

$$T_{p3} = T_w \text{ の時、 } M / \log_2 M = K_2 S_B'$$

となって、 M の最適値が S_B' に依存する事がわかる。すなわち、データの処理時間が長く、データの入れ替えの方が早い時は、 M を大きくする必要があるが、逆にデータ処理が簡単な時は、 M をことさら大きくする利点はない。

4. まとめ

直交アクセス記憶を用いた連想処理システムのモジュール化の可能性について検討し、Back-upメモリの転送速度から、MDAMの最適サイズを決定可能な事を示した。なお、本研究の一部は、昭和52年度科学研究費補助金(一般研究)によった。

[参考文献] [1]元岡、田中、上森、鈴木「二次元記憶を用いた連想処理システム」信学技報EC 76-80 [2]K.E. Batcher「STARAN Parallel Processor System Hardware」NCC pp.405-410, 1974

図1. モジュール化によるアクセスパターンの変化

