

元岡 達 田中英彦 上森 明
(東京大学 工学部)

1. はじめに

パターン認識、画像処理等のパターン処理や、データベース管理の分野では大量のデータを扱わねばならない事から、汎用の計算機による処理では効率の悪い事が多い。この点を改良するために、種々の問題向きの特殊プロセッサも開発されてきたが、方式が限られてしまうという欠点がある。そこで、一般のパターン処理に対し、広い問題適応性を有し、かつ従来の汎用計算機とは異なるアーキテクチャの計算機として連想プロセッサの果たす役割は大きいと考えられる。連想プロセッサも種々の物が提案されてきたが、システムを中心とする連想記憶の構成法・価格・規模等の点で問題が多く、大規模なシステムを実現した例は非常に少ない¹⁾。しかし、半導体記憶やマイクロプロセッサの出現により、このようなシステムの実用化が可能な段階に達したと考えられるので、これらを用いた連想プロセッサの設計を試みた。試作実験は今後の課題であるが、現在、処理素子(P E)の部分を、汎用マイクロプログラム計算機シミュレータによって、シミュレーション中である。

2. 連想プロセッサの構成

基本的には、このシステムは以下の特徴を持つ。

- 1) 連想処理システムの基本構成要素は、2次元アクセス可能な記憶(T D A M)と、多数の処理素子(P E)から成る。
- 2) 2次元アクセス可能な記憶は、アドレスのデコード方式として変形 *skewed Array* 方式を用い、汎用RAMとアクセス回路との組合せで実現する。
- 3) P Eとしては、*bit-slice* 型のマイクロプロセッサを採用する。

2次元アクセス記憶は、行と列単位(ワードスライスとビットスライス)のアクセスタイムが同じで、直交メモリとも呼ばれる。連想記憶を構成する場合、専用の連想メモリICを用いると、ビット当りのコストが高くなるが、この方式は汎用RAMを用いるので低コストである。又、アドレスのデコード方式として、① *Skewed Array* 方式と② 変形 *skewed Array* 方式を考えた。T D A Mからの出力データは、入力時と順序が異なるので、①ではバレルシフタ、②では入れ替え回路が必要である。アドレスデコードには、①は加算器、②はインバータが必要である。バレルシフタは、P E間の通信に、入れ替え回路は、FFTのシャフリングに有用であり、どちらも採用する事にすれば、アドレスデコード時間が短く、回路の簡単な②の方式が有利であるので、②を採用した。

P Eにマイクロプロセッサを用いる事により、コストダウンと設計・製作の容易さをねらっている。その他の構成要素として、各P Eに対し、制御記憶からマイクロ命令を供給するためのシーケンスコントローラ(S C)、パターンデータの一次的格納のためのバッファメモリ、連想記憶のアドレスコントローラ、等がある。

この連想処理システムの基本的な動作は、データを行単位(ワードスライス)で書き込み、列単位(ビットスライス)の読み出しにより抽出された特定フィー

ルドのビットと、比較レジスタ（各PE内にある）の対応位置のビットを順次比較する事により、データの照合を行なう事である。いわゆるビットシリアルタイプの連想プロセッサなので、データの数をフィールドのビット数で割った数だけの速度向上となる。連想処理は、Exact Match, Max, Min, Greater Than, Less Than, Count, Sum, Between Search等を考えており、これらのアルゴリズムを本システムではマイクロプログラムで記述し、上述のようなマクロな機能をマクロ命令（機械語命令）として用意する予定である。

3. 連想プロセッサの応用とシミュレーション

このシステムは、パターン処理に適した構造を有しているが、本研究では、パターン認識とデータベースマシンへの応用に重点を置いている。

パターン認識への応用の場合は、種々の認識アルゴリズムに対する性能評価を行なうためのハードウェアシミュレータとして役に立つものと考えられる。ある認識アルゴリズムの有用性を実証するためには、多くのデータについて統計処理を行なう必要があるが、汎用計算機でシミュレートしたのでは、速度が遅く、コストがかかる。又、特定の認識方式専用のシステムを作ったのでは、他方式との比較がしにくい。この意味で、本システムは十分汎用性のあるパターン処理プロセッサと考えられる。

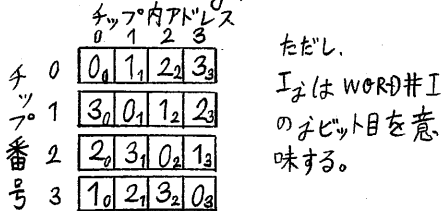
他方、データベースマシンとしての応用は、データ構造としてリレーショナルモデルを用いる事にし、データベース管理で必要とされる述語論理を処理機能の中に入れていく予定である。

4. まとめ

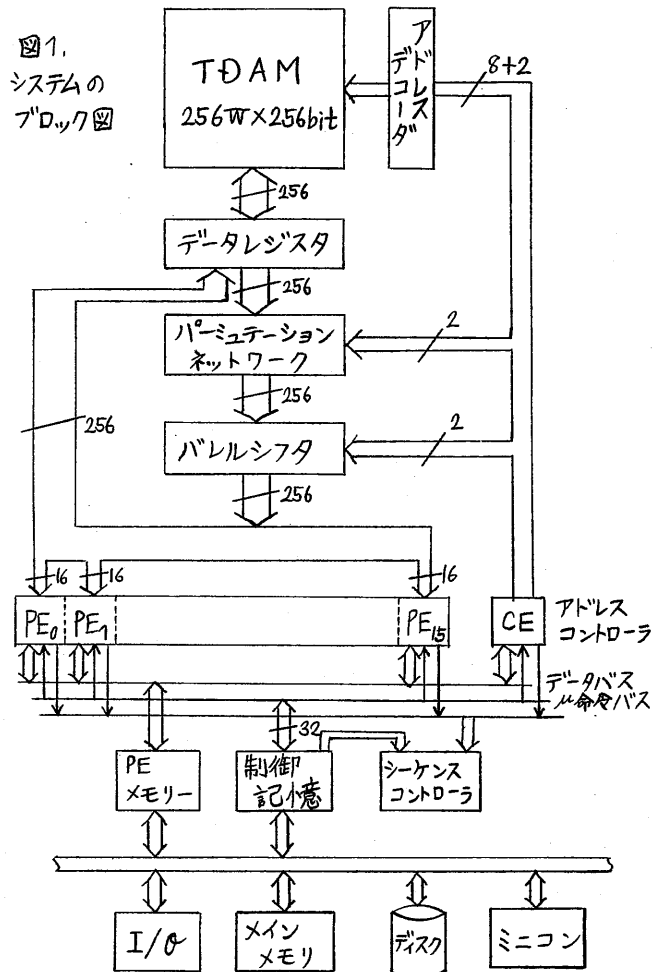
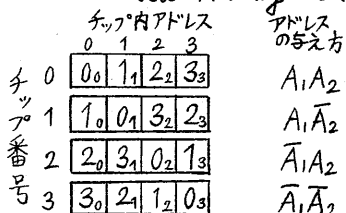
パターン処理用プロセッサとして連想処理システムの提案を行なった。システムの基本設計のデバッグや性能評価のためのシミュレーションを行なっている。具体的にパターン照合等の問題への適応性をこのシミュレーションにより証明する予定である。

図2. アドレスデコード方式

① Skewed Array方式



② 変形 Skewed Array方式



(文献) 1. 「STARAN parallel processor system hardware」 1974 NCC, pp.405-410