

超並列計算機向けプロセッサ試作

東京大学工学部 教授 田中 英彦

マルチメディア, 人工知能, 計算的材料設計等, 将来の社会の基盤技術はその多くが高性能計算機に依存している。しかし, 従来のプロセッサは, 単一用に設計されており, 大規模な並列向けの構造となっていない。本研究は, そのような超並列計算機向けのプロセッサ構造を検討し, 実際にゲートアレイで試作したものである。

本研究では, まず並列論理型言語 Fleng を設計し, それを効率良く実行可能な機械語を設計して, それに向けたプロセッサを作成した。この構造は, 図に示すように, 内部に4個の実行コンテキストを保持し, 7段の命令実行パイプラインに次々と命令を投入する。コンテキストの切替えは, 各実行サイクルごとに可能で, それによっ

て, 無駄時間を防ぐことができる。

作成したチップは, 1.2 μ の CMOS ゲートアレイで, 43 k gates を使い, 256 pin のセラミック PGA, 10 MHz で動作する。性能の評価結果では, 33 MHz の Sparc プロセッサより 1.3 倍早く, 従って, 同じクロックでは, 4 倍高速になることが期待される。また, 同じプログラムを実行するのに必要なコードサイズが更に 1/4 になる。

試作チップには古いテクノロジーを用いたが, 現在のテクノロジー 0.5 μ を使い, パイプラインの実行ステージを二つに分けてクリティカルパスを無くすと 120 MHz くらいの高速化は容易である。その場合, 同一の遅延時間に対処しデータアクセスのレイテンシーを等価的に隠す効果を維持するには, 内蔵コンテキストの数を増やし, 8 から 16 程度にする必要が生じる。そのような工夫により, 試作チップの 10 倍以上の速度を有するチップが可能となろう。

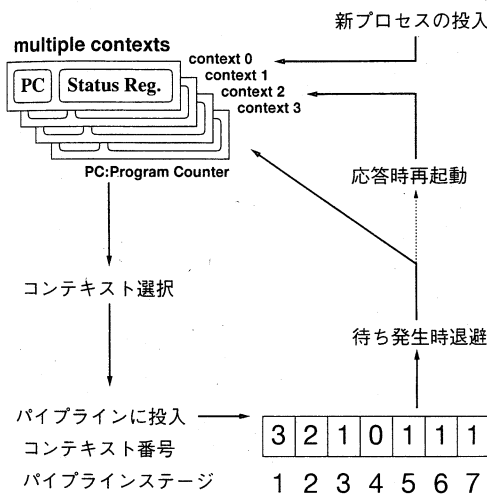


図 多重コンテキスト処理

表 改良されたプロセッサの評価結果
最大コンテキスト数=16

プログラム	append 100	nreverse 30	qsort 50	8 queen
総クロック数	2537	5807	10936	697649
リダクション回数	101	496	380	38878
サスペンド回数	0	29	240	303
総命令実行数	813	4768	9867	687875
CPI	3.12	1.22	1.11	1.01
平均コンテキスト数	0.999	6.12	12.8	15.9
性能 [KRPS]	4777	10250	4170	6687
性能向上比	9.13	11.1	9.15	12.1
(内アーキテクチャ分)	1.52	1.85	1.53	2.02

試験研究課題名: 高性能超並列計算機のための複合多重要素プロセッサの試作 (課題番号 03555071)
 成果の発表: IFIP, Programming Environments for Parallel Computing (1992年4月)
 IFIP, Working Conference on Architectures and Compilation Techniques (1993年4月)
 情報処理学会論文誌 33巻3号 情報処理学会 (1992年3月)
 New Generation Computing 11巻3, 4号 オーム社 (1993年11月)