

## (書誌+要約+請求の範囲)

- (19)【発行国】日本国特許庁(JP)  
 (12)【公報種別】公開特許公報(A)  
 (11)【公開番号】特開2002-229780(P2002-229780A)  
 (43)【公開日】平成14年8月16日(2002. 8. 16)  
 (54)【発明の名称】大規模データパス・アーキテクチャの実行機構  
 (51)【国際特許分類第7版】

G06F	9/38	370
		330
	7/00	
	9/30	370
	9/34	330

## 【FI】

G06F	9/38	370 X
		330 B
	9/30	370
	9/34	330
	7/00	R

- 【審査請求】有  
 【請求項の数】6  
 【出願形態】OL  
 【全頁数】10

(21)【出願番号】特願2001-22117(P2001-22117)

(22)【出願日】平成13年1月30日(2001. 1. 30)

【新規性喪失の例外の表示】特許法第30条第1項適用申請有り 2000年8月3日 社団法人情報処理学会発行の「情報処理学会研究報告 VoL. 2000, No. 74」に発表

(71)【出願人】

【識別番号】396023993

【氏名又は名称】株式会社半導体理工学研究センター

【住所又は居所】神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

(72)【発明者】

【氏名】田中 英彦

【住所又は居所】神奈川県横浜市港北区太尾町1423-419

(72)【発明者】

【氏名】坂井 修一

【住所又は居所】茨城県筑波郡谷和原村絹の台6-13-23

(72)【発明者】

【氏名】辻 秀典

【住所又は居所】東京都荒川区西日暮里1-2-7 サンフィールド西日暮里806号室

(72)【発明者】

【氏名】安島 雄一郎

【住所又は居所】千葉県船橋市前原東6-22-4

(74)【代理人】

【識別番号】100058479

【弁理士】

【氏名又は名称】鈴江 武彦 (外5名)

【テーマコード(参考)】

5B013

5B022

5B033

## 【Fターム(参考)】

5B013 BB02 DD00  
 5B022 CA01 CA03 CA05 EA01 FA01 FA02  
 5B033 AA14 DD09

## (57)【要約】

【課題】単一レジスタ・ファイルへのアクセス集中とレジスタ・リネーミング操作回数が増加し、大規模な命令発行機構の実装が困難であった。

【解決手段】命令ブロックIBは複数の命令を有している。実行ユニット $21_0 \sim 21_{15}$ は複数個設けられ、これら実行ユニットにより複数の命令ブロックIBが並列に実行される。各実行ユニットは分散レジスタ・ファイルDRFを有し、実行ユニットの演算結果はこの分散レジスタ・ファイルに記憶される。レジスタ・マップ・セットRMSは論理レジスタ番号と演算結果が記憶されている分散レジスタ・ファイルとの対応関係を記憶する。各実行ユニットはこのレジスタ・マップ・セットを参照することにより、所要の実行ユニットから必要な演算結果を得ることができる。

## 【特許請求の範囲】

【請求項1】複数の命令により構成され、レジスタの入力情報及び出力情報が付加された命令ブロックを保持する第1のバッファと、前記命令ブロックを並列に実行する複数の実行ユニットと、前記各実行ユニットに設けられ、各実行ユニットの演算結果を保存する分散レジスタ・ファイルと、前記各実行ユニットに接続され、各実行ユニットの前記分散レジスタ・ファイルに記憶された演算結果を読み出し、他の実行ユニットに供給するデータ・ネットワークと、プログラムに記述された論理レジスタと前記分散レジスタ・ファイルとを対応付けるレジスタ・マップを保持する第2のバッファと、前記第2のバッファに保持されたレジスタ・マップと前記命令ブロックに付加されたレジスタの入力情報に応じて、命令ブロックが割り当てられる実行ユニットに対してどの論理レジスタの値を送るかを示すレジスタ要求情報を発生するレジスタ要求生成回路と、前記命令ブロックに付加された前記レジスタの出力情報に応じて、前記命令ブロックの実行後のレジスタ・マップを生成し、前記第2のバッファに供給するレジスタ・マップ更新回路とを具備することを特徴とする大規模データパス・アーキテクチャの実行機構。

【請求項2】前記各実行ユニットは、前記命令ブロックの各命令に対応した演算処理回路の集合体からなり、各命令を演算処理する機能ユニットと、前記機能ユニットに接続され、前記第1のバッファから供給される命令ブロックを受け、発火可能な命令を前記機能ユニットに供給する命令発行回路と、前記機能ユニットの演算処理結果を前記命令発行回路に帰還する帰還回路とをさらに具備し、プログラムは前記命令ブロックを単位として記述され、命令ブロック内部では、前記機能ユニットの演算結果が前記帰還回路を介して前記命令発行回路に直接供給されることを特徴とする請求項1記載の大規模データパス・アーキテクチャの実行機構。

【請求項3】前記実行ユニットは、前記分散レジスタ・ファイルから指定された値を読み出し、前記データ・ネットワークを介して他の実行ユニットに供給するネットワーク・インターフェース・ユニットをさらに具備することを特徴とする請求項2記載の大規模データパス・アーキテクチャの実行機構。

【請求項4】前記各実行ユニットと前記分散レジスタ・ファイルの使用状況を管理し、前記各実行ユニットと前記分散レジスタ・ファイルの割り当て、無効化を制御する実行ユニット管理部をさらに具備することを特徴とする請求項1記載の大規模データパス・アーキテクチャの実行機構。

【請求項5】前記レジスタ・マップは、論理レジスタに対応して、前記実行ユニットを識別する識別番号と、分散レジスタ・ファイルを識別する分散レジスタ番号、及び命令番号を有し、前記レジスタ・マップ更新回路は、前記レジスタの出力情報で指示された論理レジスタに対して、前記実行ユニット管理部から受けた命令ブロックを割り当てる実行ユニットの識別番号と分散レジスタ番号に基づき、前記レジスタ・マップの前記実行ユニットの識別番号と分散レジスタ番号を更新し、前記レジスタの出力情報に基づき、前記レジスタ・マップの命令番号を更新することを特徴とする請求項4記載の大規模データパス・アーキテクチャの実行機構。

【請求項6】前記命令ブロックは、実行中の多数の命令から特定のパスの命令を削除するための

分岐履歴タグを有することを特徴とする請求項5記載の大規模データパス・アーキテクチャの実行機構。

