

10

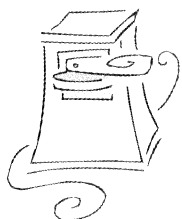
並列推論エンジン PIE

田中英彦

tanaka@mrl.t.u-tokyo.ac.jp

東京大学大学院情報理工学系研究科 教授

当時：東京大学工学部 教授



研究目標とマシン開発

第五世代計算機プロジェクトが1982年に始まったとき、東京大学工学部元岡・田中研究室でも並列論理型言語やその処理機械の研究を開始していた。それは、言語PrologをOR並列処理するもので、処理モデル、処理系、推論専用ハードウェア(PIE-I, PIE-II, PIEEE)、および構造記憶などの研究に結実し、相田仁、後藤厚宏、坂井修一、丸山勉、平田圭二らが推進した。

1985年に元岡達教授は逝去したが、その研究は大幅な変更を加えて田中研究室で続行された。ICOTの上田和紀の開発した言語GHCの簡易版としてM.Nilssonが開発した言語Flengへの切り換えと、それに伴う処理モデルの変更を行い、ソフトウェアを含む専用マシン全体の開発計画が立てられた。研究は1986年より始まり、1987年には文部省科学研究費特別推進研究「大規模知識処理システムの研究」の研究費を得て、具体的なマシンの開発が進められた。処理モデル開発の後、ハードウェアアーキテクチャの概要設計を小池汎平が担当して、3種類のチップ開発、マシン組み上げ、デバッグ・モニタ・コンパイラ・粒度制御用ランタイムシステムなどの諸ソフトウェア開発を経て、1993年にハードウェアが日高康雄の長年にわたる努力で完成し、1994年に稼働を始めた。

マシンの概要

最終の開発マシンPIE (Parallel Inference Engine) は、PIE64と呼んでいるが、Inference Unit (IU) と称するプロセッサが64台、2つの結合網により接続された形をしている。結合網は、それぞれ8bit幅64ポートのガンマ

網で、負荷分散をする場合、IUそれぞれが自分の忙しさを提示することにより、それが最小のIUへ自動的に負荷が配送される機能(坂井が考案した)を備えており、高橋栄一がその特殊スイッチを開発した。

IUは、論理型言語処理に特有のUnificationやReduce処理を高速に実行するとともに、コンテキストの切り換えがクロックごとに変更可能なハードウェアで、島田健太郎の開発したUNIREDを備えており、そのローカルメモリは他の63台すべてからも結合網経由でアクセス可能である。この多重コンテキスト処理機構は、結合網を経由したりモートデータアクセスの遅延による性能低下をほとんど解消している。またIUには、負荷分散を含め、他IUとの通信を司る、清水剛の開発したNetwork Interface Processor NIPと、制御プロセッサとしてのSparcが載せられている。これらUNIRED, NIPのほか、結合網のスイッチチップを併せて3種が1.2 μ CMOSゲートアレイで作成された。マシンPIE64は、ポート当たりそれぞれ40MB/sのスループットを持つ結合網(転送遅延は80クロック)2セットを囲んで64枚のIUが配置され、10MHzで稼働した。図-1はその全体像である。

ソフトウェア

処理対象の言語は、コミットドチョイス型言語Flengで、高速で効率よい実装が可能であり、単純で理解しやすい特徴を持っている。コンパイラは、UNIREDのアセンブリコードを出力し、それを変換することでPIE64のネイティブコードが得られるが、静的な負荷分



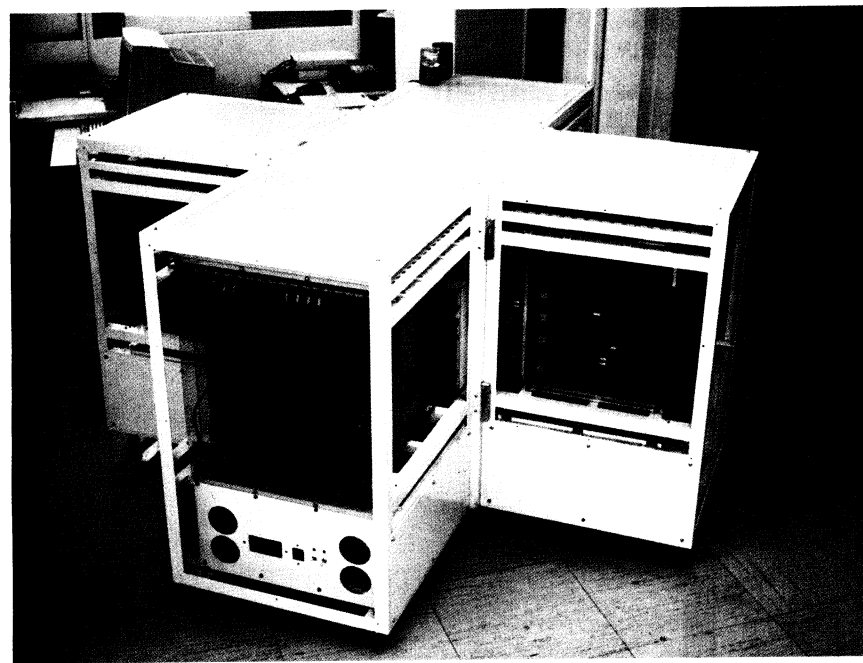


図-1 PIE64

割機能を持ち、対応するランタイムシステムは、動的負荷分割機能を備えている。コンパイラは中田秀基と馬場恒彦が担当したが、システムの負荷が高い(実行並列度が高い)状況に適した細粒度のコードと、負荷が低い状況に適した疎粒度コードの2つを出力し、ランタイムシステムが実行時の状況に合わせてコードを動的に切り換えることにより、システムが常に最適な状態で稼働するような工夫がされている。この機構は、バンバン粒度制御機構と呼んでおり、日高の考案開発した方式であるが、一般に低負荷状態では静的分割が有効で、高負荷時は動的負荷分割が有効であり、これらを動的に切り換えることが可能なシステムとなっている。この工夫は、並列処理に求められる3つの要求、並列性を最大限に抽出すること、負荷のバランスをとること、通信オーバーヘッドを減らすことを同時に可能ならしめる方策として考えられた。また、もともとのコンパイラの出力するコードは処理粒度がかなり小さいので、そのまま処理するとオーバーヘッドが大きい。そこで、小さなゴールをまとめて大きくする工夫を備えたコンパイラを荒木拓也が開発した。

システムの支援ソフトウェアとしては、HyperDEBUと呼ぶデバッガが館村純一によって開発された。これは、Flengのように複雑な多重の制御/データ流を持つプログラムを、効率よく調べたり操作したりするためのもので、制御ビュー、データ流ビュー、実行スナップショットなどの形で、見たいところへ効率よくズームインする機構を備えるとともに、並列実行にプレー

クポイントを設定し、プログラムコードを効率よくブラウズすることができる。さらに、実行性能をチューニングするために、プログラム作成者の書いたプログラムを仮想的なクロックで実行し、その並列実行状況を提示して処理ネックを明示し、プログラムの変更に対するヒントを提示する機能を備えている。

PIEは分散型メモリシステムであるが、それに実装されたガーベッジコレクション手法は、小池が開発したGeneration Scavenging GCであり、オブジェクトの寿命を考慮し、擬実時間的に動作可能となっている。これら

のほか、メッセージの並列解釈を行うストリーム向きオブジェクト指向言語Fleng++も中村宏明、吉田実によって開発された。

性能評価

PIEのプロセッサの中核はUNIREDである。それは4つのコンテキストそれぞれに32個の汎用レジスタが用意されており、合計128個の汎用レジスタを持っている。命令セットは、論理型言語処理に向けたものとして設計され、73命令からなる。SPARCと比較すると、同じプログラムを書くのに、ほぼ1/4のコードサイズで済む。

また、処理速度は、33MHzのSPARCと比較して1.3倍速く、これは、同じクロックにすれば、3.9倍となる。総合性能として、UNIREDは10MHzの実装で、1台あたり920KRPS (Kilo Reductions Per Second)を達成し、64台で、実測性能58MRPSを出した。また利用可能なIUが1台の時と、64台の時とで、1つのプログラム実行を比較すると、スーパーリニアとなる場合がある。これは、64台実行では、使える主記憶が64倍となり、GCの実行時間が著しく小さくなるためであった。

2001年8月現在、PIE64の本体ははまだ稼働状況にある。

参考文献

- 1) Tanaka, H. ed.: Parallel Inference Engine - PIE -, Ohmsha IOS Press (2000).

(平成13年9月14日受付)

